DOI:10.13700/j.bh.1001-5965.2006.01.018
2006年 1月 北京航空航天大学学报 January 2006
第32卷 第1期 Journal of Beijing University of Aeronautics and Astronautics Vol.32 No.1

多媒体流处理器中缓冲器的体系结构设计

王 光 沈绪榜

(西安微电子技术研究所,西安 710054)

摘 要:传统微处理器体系结构不能很好地匹配媒体处理应用的特点.针对处理器与存储器之间日益增长的性能间隙问题,分析了传统微处理器对媒体处理应用的通讯瓶颈;通过分析Cache存储器的特点,得出了传统的Cache结构并不适合现代媒体处理应用的结论,讨论了目前针对处理器通讯瓶颈的一些解决办法;提出了一种以大容量流寄存器堆替代Cache作为中间缓冲器,并能适合于媒体处理应用的金字塔存储层次体系结构设计.该体系结构具有三级并行数据带宽存储层次,即片外SDRAM、全局寄存器堆和局部寄存器堆.三级并行存储层次所能提供的带宽依次提高一个数量级,带宽之比为1:16:256,从而可以有效地支持卫星遥感图像预处理对数据带宽的需求.

关 键 词:媒体处理应用;存储带宽;存储层次;流寄存器堆;流缓冲器

中图分类号:TP 302

文献标识码:A **文 章 编 号**:1001-5965(2006)01-0074-05

Design of buffer architecture for multi-media stream microprocessor

Wang Guang Shen Xubang

(Xi'an Microelectronic Technology Institute, Xi'an 710054, China)

Abstract: The characteristics of media processing applications are poorly matched to conventional microprocessor architectures. The growing processor-memory performance gap was solved. The communication bottlenecks of traditional microprocessor, which is used for media processing application, were discussed. It was concluded that the traditional Cache architecture does not adapt to the modern media processing application by analyzing the characteristics of Cache memory. Some current schemes used to solve the communication bottlenecks were discussed. A new architecture design of pyramid memory hierarchy was brought forward, which substituted the larger stream register files for Cache as the medial buffers and could adapt to media processing applications. This architecture provided a three-tiered parallel data bandwidth hierarchy, including memory bandwidth, global register bandwidth, and local register bandwidth, with a ratio of 1:16:256. With this bandwidth scaling, the bandwidth requirements of satellite remote sensing image pretreatment may be efficiently matched.

Key words: media processing application; memory bandwidth; memory hierarchy; stream register file; stream buffer

随着VLSI技术的发展,现代冯·诺依曼结构处理器对数据带宽的要求越来越大,处理器的性能受存储器带宽的影响也越来越大.Doug Burger等人在1996年就已指出"工艺水平的发展,已经使CPU和SDRAM在速度上逐渐越拉越大…处理器从外存储器取一次数的同时,将可以执行数百至数千条指令"[1].据统计,处理器的性能以每年60%的速度提高,而存储器芯片的带宽每年却只提高10%[2],两者之间的带宽间隙越来越大.例如,以0.13μm CMOS工艺实现的1GHz的64bit浮点算术单元,其所占有的芯片面积不足1mm^2,成百上千个这样的算术单元就很容易集成在一个芯

收稿日期:2005-02-04

基金项目:"十五"国防863计划资助项目(2002AA714022)

作者简介:王 光(1973—),男,山东烟台人,博士生,Jack·wang·guang@tom·com·

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

片上.但是,面临的困难在于如何持续地为这些算术单元提供指令和数据,从而有效地利用计算资源.通常,传统芯片的外部数据带宽被限制在 5～10 GWords/s,芯片内部数据带宽也只有 50 GWords/s 左右.所以,尽管芯片的算术操作(FLOPS)速度极快,全局数据带宽却很是昂贵,成为提高现代处理器性能的一个瓶颈.也就是说,传统 CPU 并不能充分利用 VLSI 技术,以实现 100 GFLOPS 甚至更快的系统芯片[3].

针对现代多媒体应用,如数字信号处理、2-D 或 3-D 图形绘制、视频/音频压缩以及解压缩等来讲,存储器带宽的影响更为显著.而对嵌入式图像处理器而言,由于芯片的引出脚数量受到限制,这就更加增大了 CPU 和 SDRAM 之间的带宽间隙.

1　传统媒体处理器的通讯瓶颈

媒体处理应用由于是对低精度数据流进行操作,所以具有自己的特点:①要求很高的计算速度:为了满足实时性要求,很多媒体应用每秒需进行 100～10 000 亿次算术操作;②几乎没有时间和空间局部性:全局数据一般只进行一次访问,而几乎不需进行再访问;③具有大量的生产者-消费者局部性:前一个处理应用产生的输出,可以在寄存器中直接作为后一个处理应用的输入使用;④具有很高的数据并行性:操作组对所有像素独立进行相同的操作;⑤对一次内存访问,应用需执行多达 100～200 次操作.正是由于这些特点,需设计可编程微处理器对媒体应用进行处理.

传统上,可编程微处理器通过应用缓存层次和集中的寄存器堆桥接了 SDRAM 和算术单元之间的带宽间隙.可是,由于技术限制和媒体处理的应用,传统的微体系结构不能支持媒体处理所需要的成百上千的算术单元,从而也就不能满足媒体应用所要求的计算速度.

传统的存储层次是为了优化 ALU 的存取延迟.寄存器堆通常很小,从而能在一个周期内访问到全部数据.Cache 层次保存那些可能将被访问的数据,以使内存操作的延迟最小化.慢速的 SDRAM 被用作大的存储区域,只有在 Cache 不再保存访问数据时,SDRAM 才被进行存取.这种结构对传统的应用相当成功.

然而,传统的存储层次不能很好地与媒体处理应用的要求相匹配.传统存储层次的结构只是用来优化数据访问延迟.全局寄存器堆用于在少量 ALU 之间进行快速通讯,Cache 层次用于内存延迟,SDRAM 用于提供大量的存储空间.为了支持大量的不相关处理,媒体处理应用要求高数据带宽,而不是低访问延迟.它们要求有更多的 ALU 以获得所需的计算率,但容许有较大的存储延迟,并要求很高的片外存储带宽.这些特性并不适合于传统的存储层次,主要表现在以下几个方面:①由于媒体应用需要成百上千的算术单元,所以大量计算所要求的数据带宽会使集中的全局寄存器堆效率很低;②媒体应用具有很少的时间和空间局部性,这使得 Cache 效率很低.此外,增加的算术单元所要求的带宽,比 Cache 层次所能提供的带宽还要高得多;③媒体应用对来自外部设备的大量原始数据(如视频序列)进行操作,而这些原始数据必须在存储器中进行缓存.

为了支持大量的 ALU,一个全局寄存器堆必须提供大量内存和很高的数据带宽.由于技术的限制,这种寄存器堆花费的代价很大,而且 Cache 层次不能提供足够的带宽来支持额外的 ALU;另一方面,程序不能控制硬件内的数据移动,所以 Cache 必须动态地传输和存储将来可能用到的数据.这样,用来管理内存所需的硬件开销就限制了 Cache 所能提供的有效带宽.最后,在 SDRAM 设法降低存取延迟的同时,SDRAM 的带宽也降低了,而如果没有足够的带宽,ALU 将经常处于空闲状态以等待来自 Cache 的数据.

所以,传统的 Cache 存储层次不能有效支持媒体流处理所需要的大量算术单元,不能用来解决媒体处理器与主存储之间的带宽问题,也就不能获得媒体处理应用所要求的计算速度.从而,在现代媒体处理应用中,为了给大量的算术单元提供指令和数据,必须解决带宽瓶颈问题.

现代 VLSI 通信瓶颈和媒体处理应用的流特性,都要求一个明确管理的带宽层次,以便有效地应用大量算术单元来完成媒体处理任务.其中,临时数据被局部地存储在算术单元中,数据可被进行频繁、快速地访问;中间流被存储在片上流寄存器堆中,它们可在应用程序间流动而不需进行开销昂贵的内存访问;最后,输入、输出和全局数据被存储在外部 SDRAM 中,它们不需频繁地被访问,而只需要具有大量的存储空间.在这 3 个存储层次中,距离 ALU 越近,进行的数据访问越频繁.因而,存储的各个层次必须提供连续的、高于低级层次的带宽.可见,媒体处理可以映射成这样一种带宽层次,即尽可能地利用开销小的局部带宽,仅在必须时才利用大开销的全局数据带宽.

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

在现代VLSI中，寄存器堆、Cache和SDRAM全都是通讯瓶颈.SDRAM带宽是由其存取引脚的峰值带宽所限制的，因而提高SDRAM连续带宽的唯一方法就是管理对SDRAM的存取，以有效利用它的内部结构.由于Cache缓冲并不是提高媒体处理性能的有效方法，所以必须组织寄存器堆，以有效隐藏存储延迟.这里将着重讨论现代VLSI技术是如何限制寄存器堆组织的.

从面积、功耗和延迟角度讲，寄存器堆的开销直接与其寄存器数量 R 和存取端口数量 P 有关.正如文献[4]所述，寄存器堆的面积和功耗与 P^2R 成正比，延迟与 $PR^{1/2}$ 成正比.对集中寄存器堆，P 和 R 都与处理器中ALU的数量成正比.所以，如果ALU数量为 N，则寄存器堆的面积和功耗与 N^3 成正比，延迟与 $N^{3/2}$ 成正比.很明显，这种寄存器堆并不能很好地扩大规模以有效支持大量ALU.

媒体处理应用中的ALU比通用处理器ALU需要更多的寄存器.这些增加的寄存器用于隐藏在寄存器堆结构中进行存取的延迟.这使扩大寄存器堆规模以支持大量ALU变得更加困难.由于媒体处理应用能很容易地以流编程模式进行，从而面临着计算中的并行性和通讯的规则性问题.这样，大量必须传输到内存、或从内存传出、或在应用内核(kernel)间进行传输的数据，在Cache内将相互干扰，造成对Cache线的无效利用.由于媒体数据流在编译期间的存取是规则的、可预测的，所以它们可被存储在很大的寄存器堆中.然而，媒体处理应用所需增加的寄存器及大量ALU的联合效应，进一步增加了寄存器堆的开销.因而，为了将面积、功耗和延迟减少到可接受程度，寄存器堆必须被分散开，即采用分散的寄存器堆(DRF)取代集中式寄存器堆.

2 针对处理器通讯瓶颈的解决办法

从20世纪80年代开始，如何解决存储器访问所带来的瓶颈问题，就已成为高性能微处理器设计的热点问题.为了解决存储瓶颈问题，设计者们曾采用了很多种方法，比如增加处理器中Cache的数量和容量，以及采用不同的存储策略等.这些方法可以被粗略地分成3类：①增加处理器中Cache的命中率，如skewed associative Caches[5]和prefetching[6]；②增加处理器的处理能力，以使之能容忍存储延迟，如多线程处理器(multithreaded processors)[7]；③将处理器的算逻部件与存储系统集成在一起，如IRAM[8]和RADRAM[9].这些方法都各具有自己的优点，却也有着局限性，如很多针对延迟进行优化的结构，由于预取了一些不需要的数据而加大了存储系统的负担.通常，复杂的Cache组织跟不上处理器发展的速度要求，因而并不适合于现代高级存储层次设计.以上的这些机制，大都要求对传统的处理器或SDRAM设计进行修改，并可能需要以较复杂的方法与微体系结构的其它部分相结合.

一些处理器采用软件管理的寄存器层次(register hierarchy)，来减小由于频繁访问数据而引起的延迟时间.这些处理器具有一个与ALU相连的全局小寄存器堆(register file)和一个保存额外数据的大寄存器堆.例如，Cray-1包含一个有64个入口的T寄存器堆，作为一个8入口S寄存器堆的后备存储资源使用.Cray-1的存储器系统并不包含Cache，编译器将频繁访问的数据存储到T寄存器文件中，这样就不需要再次访问存储器.德州仪器的TMS320C6000 DSP——现代DSP的代表性产品，含有2个供ALU使用的小寄存器文件和1个大的片上存储器，这个片上存储器可以设置成Cache，也可以设置成可访问的存储器.如果将它设置成可访问的存储器，媒体数据就可以从存储器中逐步调入；当靠近ALU的寄存器堆中没有足够的空间时，也可以在ALU工作时将临时数据保存在片上存储器中.

美国Rice大学的Scott Rixner教授在《Stream Processor Architecture》一书中，曾经列举了5个具有代表性的多媒体处理应用例子，如表1所示.表1中所有应用的存储器带宽要求都小于1GByte/s，这充分说明了媒体处理应用中的带宽层次的有效性(因为去掉了不必要的存储器访问).假如没有全局寄存器堆中数据流的再循环，存储器就必须保持2.4～22.5 GByte/s的数据带宽，才能使这些应用获得峰值计算率.现代流处理器的存储系统保持大约1GByte/s的SDRAM带宽是可行的，如果想远超过1GByte/s的SDRAM峰值带宽显然是不可能的.因而，若没有一个有效的存储层次，这些媒体应用将全部受限于存储器带宽.

从表1可以进一步看出，应用在每一级层次上的带宽要求依次增加一个数量级.例如，在STAP应用中，存储器带宽、全局寄存器堆带宽和局部寄存器堆带宽之间的比值粗略为1∶11∶276.对所有的应用，全局寄存器堆的带宽要求比存储

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

器带宽高 5～23 倍,而局部寄存器堆的带宽要求高于全局寄存器堆 10～80 倍.可见,每一级带宽层次按比例增加一个数量级,将对媒体应用非常有利[10].

现代 VLSI 通信瓶颈和媒体处理应用的流特性,都要求一个明确管理的带宽层次,以便有效地应用大量算术单元来完成媒体处理任务.也就是说为了获得所需的计算速率,媒体应用要求处理器体系结构必须具有一个有效的金字塔存储层次,每级存储层次都必须具有一定量的带宽.

表 1　具有无限带宽的流处理器上的应用要求

应用	存储器带宽/(GByte·s^{-1})	全局寄存器带宽/(GByte·s^{-1})	局部寄存器带宽/(GByte·s^{-1})
DEPTH	0.99	22.45	247.51
MPEG	0.45	2.40	197.51
QRD	0.42	4.23	298.72
STAP	0.65	6.94	179.07
RENDER	0.76	5.43	161.23

3　多媒体流处理器的缓冲器结构

由于主存储器容量越大速度就越慢,所以在现代计算机中,处理器与主存储器之间都是通过缓冲器来提高运算速度的.缓冲器有 2 种方案:Cache 方案与 Register File 方案.

Cache 方案主要是利用程序与数据的局部性,以减少访问主存储器的次数,达到降低延迟、提高处理器的运算速度.由于 Cache 存储器是一种按内容访问的 CAM(Content Addressable Memory)存储器,不仅有结构复杂与功耗大的缺点,而且仅仅是利用程序与数据的局部性来解决时延(latency)问题,并不是通过解决处理器与主存储之间的带宽问题来提高处理器的运算速度的.因此,不宜作为图像处理器的缓冲器方案.

由于媒体处理应用的计算量很大,因而需要大量的运算单元以及很大的数据带宽.例如,美国的第四代通讯卫星,空间分辨率已经达到 1.0～3.0m,跨度(swaths)达到 40km,平面精度为 2.5m,海拔精度为 5.0m[11,12].所以实际上星上信息处理系统的每个图像帧的大小已经是以 GByte 像素为单位.如此大的像素帧,如果要实现实时数据处理,所需进行的运算量必然非常大,所需要的数据带宽要求也就非常大.例如,对第四代通讯卫星,如果为灰度图像,且 1s 内要传送 6 次的话,带宽就大于 6GByte/s;如果是彩色图像,且 1s 内也要传送 6 次的话,带宽就高达 18GByte/s 以上.传统上,可编程微处理器通过应用缓存层次和集中的寄存器,堆桥接了 SDRAM 和算术单元之间的带宽间隙.可是,由于技术限制和媒体处理的应用,这些传统的微体系结构不能支持媒体处理所需要的成百上千的算术单元,从而也就不能满足现代媒体应用所要求的计算速度.现代的图像处理器中是采用 Register File 方案作为缓冲器方案的.例如,在 MIT 与 Stanford 的名为 Imagine 的可编程流处理器中,就采用了寄存器缓冲器方案.

这里采用的就是 Register File 的缓冲器方案.采用该方案,不仅可以有效地解决带宽问题,而且与 Cache 缓冲器方案相比可以降低功耗.缓冲器将具有 96kByte 的容量.由于每个处理元芯片上将安排 48 个 32bit 的定浮点 ALU,因此,每个处理元将具有 2kByte 的寄存器缓冲器容量.

在多媒体处理器中,DRF 寄存器组织、层次式寄存器组织和流寄存器组织[5]3 种寄存器组织方式被成功地组合在一起,形成了一种如图 1 所示的流寄存器组织,作为 Register File 缓冲器来提高运算速度.

图 1 中,上半部分为流寄存器堆(SRF),它包括存储阵列(SRAM)和流缓冲器(SB)两部分,形成了处理器的缓冲器;下半部分为 8 个 ALU 簇(局部寄存器算术单元),每个 ALU 簇包括局部寄存器(LR)和 ALU;中间部分为通讯网络.下面将对流寄存器堆部分的功能给予介绍,ALU 簇的功能超出了本文的介绍范围.

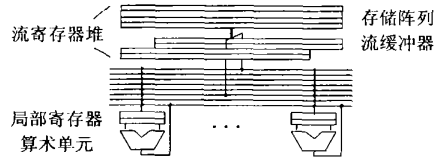


图 1　媒体处理器中的流寄存器组织

图 1 中,存储阵列是一个宽的单端口存储器,它被组织成 1024 个块,每个块的容量为 256bit 的字.尽管存储阵列(SRAM)只有一个端口,但是它能有效地支持一个物理端口的多个应用部件(包括 ALU 簇和存储系统).每个应用部件都有自己专用的进入流存储器的逻辑端口.为了支持这种抽象,所有客户端部件都通过流缓冲器与存储阵列相连.这样,存储阵列 SRAM 每个周期为所有的缓冲器写入/读出一个 256bit 的字,而客户端部件只对自己专用的流存储器进行访问.

每个流缓冲器由 2 个 256bit 的半缓冲器组成.流半缓冲器通过连到流存储器的 256bit 端口进行数据交换.如果一个客户端从流寄存器读数

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

据,而流缓冲器有一个空的半缓冲器,则这个流缓冲器就会要求对存储阵列进行读操作.同样,如果一个客户端对流寄存器写数据,而流缓冲器有一个满的半缓冲器,则这个流缓冲器就会要求对存储阵列进行写操作.当对流存储器的访问完成时,流缓冲器就接着传送相关数据流中的下一个连续的256 bit.这可使得连接到流寄存器的每个应用部件,都好像具有专用的流端口一样.

这里,引入了time-multiplexed的概念.由于存储阵列SRAM只有一个256 bit宽的端口,流缓冲器在仲裁控制下竞争使用这一端口.

需要指出的是,应用部件只能顺序地存取流数据.如果流应用顺序地、而非随机地访问数据,这就可以与流编程模式相匹配.更确切地讲,流应用只能对数据流进行顺序访问.

与流存储器相连的流缓冲器共有7个.这7个流缓冲器与不同的流应用部件有关,如图2所示.图2中,1个流缓冲器与微控制器的SRAM相连,从而将应用微代码装入到微控制器中.该流缓冲器是只读的,每个时钟周期可以读1个字.2个流缓冲器与外部存储系统相连,包括1个数据流和1个索引流.最后,4个流缓冲器被分配给ALU簇.这使应用程序对ALU的执行具有多达4个输入/输出流.4个流中的每个流都与所有ALU相连,并且每个流在每个时钟周期都可传送1个256 bit的字(每个ALU 1个32 bit的字).

除了微控制器和存储索引对应的流缓冲器,其它5个缓冲器都是双向的.但是在一个逻辑流传送期间,所有流都只能单方向使用.

由上面的讨论可知,流缓冲器从存储阵列SRAM一次预取1个256 bit的数据,而各个应用部件以更低的带宽(3 bit)从流缓冲器读取数据,或者数据流动方向相反,结果,流缓冲器有效地分时选择存储阵列的唯一物理端口,从而7个逻辑端口可被同时进行存取.

由于流寄存器堆的存在,数据仅仅在外部SDRAM和流寄存器堆之间进行数据交换,这与传统的load/store结构很相似,只是这里的数据单位为整个流.流寄存器堆SRF有效地将ALU与SDRAM存取的长的、变化的延迟隔离开来.因为应用程序只在SRF中的输入流有效时才开始操作,所以它们的流输入和输出操作不能阻塞ALU,从而在编译期间对ALU进行静态调度不仅实际,而且很有效.由于编译器知道对SRF进行的再访问不会阻塞ALU,所以相当于动态调度器,编译器能更有效地调度ALU操作.

综上所述,多媒体处理器的片外SDRAM、全局寄存器堆和局部寄存器堆形成的三级数据峰值带宽之比为1∶16∶256,3个层次依次按比例增加1个数量级的带宽,从而可以有效地支持遥感图像预处理对数据带宽的需求.星上信息处理的实时性技术指标,使得处理器的数据带宽必须保持在近于峰值的状态,这样才能提高媒体处理器的计算/存储访问比,减少由于存储器带宽问题造成的处理器性能下降.针对典型的媒体处理应用,如辐射校正、几何粗校正等,并通过对存储器访问的合理调度,处理器的持续处理能力可达到其峰值性能的80%左右.

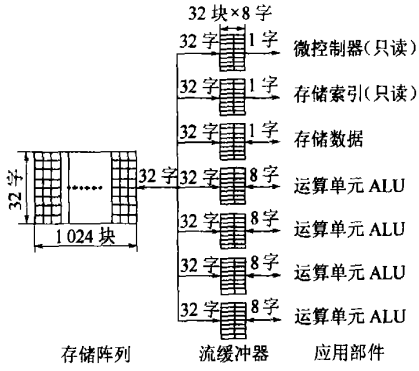


图2 流寄存器结构示意图

4 结 论

由于媒体应用具有大量的生产者-消费者局部性,Cache结构并不适合该特性;相反,大容量的寄存器组却很适合于该特性,即前一个处理应用产生的数据输出,直接存放在局部寄存器中以作为后一个处理的输入数据使用.所以,媒体处理应用必须通过按比例增加多级存储层次的带宽,才能桥接现代SDRAM带宽和ALU所要求的数据带宽之间的间隙.如果没有这种带宽的按比例增加,媒体应用必然会受内存带宽限制,这将严重地减少可有效利用的算术单元数量.

由分散的局部寄存器堆、局部流寄存器堆和外部SDRAM组成的带宽层次,以大容量的寄存器堆替代传统处理器结构中的Cache,并按比例增加每个存储层次1个数量级的带宽,能有效地满足现代媒体处理应用的需要.这也是现代媒体处理器发展的一个趋势.该体系结构已经被成功应用于多媒体流处理器设计中.

(下转第96页)

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

论上可达到68%,这完全符合复合材料的一般要求.由于纤维束不可能处于理想状态,所以,理论计算应比实际编织物达到的体积比略大些.

参考文献(References)

[1] 卢子兴,杨振宇,李仲平. 三维编织复合材料力学行为研究进展[J]. 复合材料学报,2004,21(2):1~7
Lu Zixing, Yang Zhenyu, Li Zhongping. Development of investigation into mechanical behavior of three dimensional braided composites [J]. Acta Mater Comp Sinica, 2004,21(2):1~7(in Chinese)

[2] Du Guangwu, Ko Frank K. Unit cell geometry of 3-D braided structures[J]. Journal of Reinforced Plastics and Composites, 1993, 12(7):752~768

[3] Soheil Mohajerjashi. More on the fiber architecture of 3-D braided composites[R]. AIAA-97-1404,1997

[4] Pandey R, Hahn H T. Visualization of representative volume elements for three-dimensional four-step braided composites[J]. Composites Science and Technology, 1996, 56:161~170

[5] 吴德隆,郝照平. 五向编织结构复合材料的分析模型[J]. 宇航学报,1993,3:13~16
Wu Delong, Hao Zhaoping. Analysis model of 5-directional braided composites [J]. Chinese J of Astronautics, 1993, 3:13~16(in Chinese)

[6] 庞宝君,杜善义,韩杰才. 三维四向编织复合材料细观组织及分析模型[J]. 复合材料学报,1999,16(3):135~139
Pang Baojun, Du shanyi, Han Jiecai. Meso-structure and modeling of three-dimensional multi-directional composites [J]. Acta Mater Comp Sinica, 1999, 16(3):135~139(in Chinese)

[7] 韩其睿,李嘉禄,李学明. 复合材料三维编织结构的单元体模型[J]. 复合材料学报,1996,13(3):76~80
Han Qirui, Li Jialu, Li Xueming. Unit cell geometry of 3-D braided structure of composites [J]. Acta Mater Comp Sinica, 1996, 13(3):76~80(in Chinese)

[8] 刘振国,陆 萌,麦汉超, 等. 三维四向编织复合材料弹性模量数值预报[J]. 北京航空航天大学学报,2000, 26(2):182~185
Liu Zhenguo, Lu Meng, Mai Hanchao, *et al*. Numerical Prediction of moduli of 3-D and 4 step braided composites [J]. Journal of Beijing University of Aeronautics and Astronautics, 2000, 26(2):182~185(in Chinese)

[9] 李嘉禄,刘 谦. 三维编织复合材料中纤维束横截面形状的研究[J]. 复合材料学报,2001,18(2):9~13
Li Jialu, Liu Qian. Study on fiber tows' cross-section in 3-D braided composites [J]. Acta Mater Comp Sinica, 2001, 18(2):9~13(in Chinese)

[10] 吴德隆,沈怀荣. 纺织结构复合材料的力学性能[M]. 长沙:国防科技大学出版社, 1998
Wu Delong, Shen Huairong. Mechanical behavior of textile structural composites [M]. Changsha: National University of Defence Technology Press, 1998(in Chinese)

(上接第78页)

参考文献(References)

[1] Burger, Goodman J R, Kägi A. Memory bandwidth limitations of future microprocessors[A]. In: Proc 23rd Ann Int'l Symp Computer Architecture, Association of Computing Machinery[C]. New York: ACM Press, 1996.79~90

[2] Bakshi A, Gaudiot J L. Memory latency: to tolerate or to reduce [A]. In: Proceedings of the 12th Symposium on Computer Architecture and High Performance Computing [C]. Brazil: Sao Pedro, 2000.24~27

[3] Stanford. Streaming supercomputer[R]. The 2002 Annual Technical Report, Chapter 5, 2002

[4] Rixner S. Stream processor architecture[M]. Boston: Kluwer Academic Publishers, 2001

[5] Seznec A. A case for two-way skewed-associative caches[A]. In: Proceedings of the 20th Annual International Symposium on Computer Architecture[C]. San Diego: CA, 1993.169~178

[6] Chen T F, Baer J L. Effective hardware-based data prefetching for high performance multiprocessors[J]. IEEE Transactions on Computers, 1995, 44(5):609~623

[7] Eggers S. Simultaneous multithreading: a platform for next-generation processors[J]. IEEE Micro, 1997, 12~19

[8] Patterson D, Anderson T, Cardwell N, *et al*. A case for intelligent RAM: IRAM[J]. IEEE Micro, 1997, 17(2)

[9] Oskin M, Chong F, Sherwood T. Active pages: a model of computation for intelligent memory[A]. In: Proceedings of the 25th Annual International Symposium on Computer Architecture[C]. Barcelona, 1998.192~203

[10] Rixner S, William J. Memory access scheduling [A]. In: ISCA 2000[C]. 2000.128~138

[11] Zhou G, Menas Kafatos. Future intelligent earth observing satellites [A]. In: Pecora 15/Land Satellite Information IV/ISPRS Commission I/FIEOS 2002 Conference Proceedings[C]. Hanover: University of Hannover, 2002.1~8

[12] Cloude S, Papathanassiou K, Reigber A, *et al*. Multi-frequency polarimetric SAR interferometry for vegetation structure extraction [A]. In: Proceedings of IGARSS'2000[C]. 2000. 129~131

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net