平面工艺功率型半导体晶体管铝迁移实验

吕卫民 胡 冬 谢劲松 翁 璐

(北京航空航天大学 可靠性与系统工程学院, 北京 100191) (海军装备部军械保障部, 北京 100841)

摘 要:在平面工艺制造的功率型半导体晶体管芯片表面,发现高强度电场条件下存在跨越 0.05 mm 半绝缘硅带的铝迁移现象,对此开展了一系列实验研究. 通过开帽物理观察与分析、低温测试与烘干验证、迁移物质分析对比,确定了迁移现象中的迁移物质,同时分别取证环境温度、湿度、芯片表面污染物以及器件局部结构与此迁移现象的关联性,以此提出了迁移机理假说,为在不同的诱发条件下对此迁移机理进行确认和量化研究提供指导.

关 键 词: 铝迁移; 功率型半导体晶体管; 平面工艺; 掺氧半绝缘多晶硅; 实验研究

中图分类号: TN 405.97

文献标识码: A **文 章 编 号**: 1001-5965(2011)12-1515-04

Experiments of aluminum migration of power silicon transistor using planar process

Lü Weimin Hu Dong Xie Jinsong

(School of Reliability and Systems Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Weng Lu

(Ordnance Guarantee Branch of NED, Beijing 100841, China)

Abstract: Experiments have been carried out on to study a phenomenon of aluminum migration across a 50 micron semi-insulation gap on the die surface of a power silicon transistor under a high-intensity electric field, which is manufactured using a typical planar process with aluminum as the metallization material. After physical observation and analysis by opening cap, testing at low temperature and validation by drying and analysis and comparison of composition in the migration, the chemical composition of the substances involved in the migration process was verified. Then the correlation between the migration process and environmental conditions of temperature and humidity, contaminants on the die surface as well as local structure of transistor were identified respectively. Based on the experiment results obtained in this study, a hypothesis was made on the mechanism of this migration phenomenon. The analysis provides direction for verification and quantization of the migration mechanism under different induced conditions.

Key words: aluminum migration; power silicon transistor; planar process; semi-insulating polycrystalline silicon (SIPOS); experimental study

前期在对某型大功率平面工艺晶体管进行失效分析的过程中,发现了一种在较大反向电压测试中的铝迁移现象[1]. 具体现象描述为:常温条件下,该晶体管 B-C 间 400 ~ 500 V 的反压测试曲线正常,后放入 10 ℃的恒温箱再次进行反压测试. 当电压到击穿电压附近,曲线开始出现散点漂移的现象,开帽后在显微镜下观察到黑色物质迁移,并逐步从铝金属互连线跨越宽为 0.05 mm 的掺氧半绝缘多晶硅带(SIPOS, Semi-Insulating Polycrystalline Silicon),最终在很短时间内晶体管

收稿日期: 2010-10-26; **网络出版时间**: 2011-12-21 09:57; **DOI**: CNKI:11-2625/V.20111221.0957.013

网络出版地址: www.cnki.net/kcms/detail/11.2625.V.20111221.0957.013.html

基金项目: 总装预研基金资助项目(9140A27020210JB1404)

作者简介: 吕卫民(1970 -),男,山东烟台人,博士生,lwm_yt@sina.com.

反向击穿而失效.

目前在业界公认的金属迁移现象中,迁移的发生都需要一定的必要条件[2-6],如电化学迁移需要在金属导体之间有电解质的存在,电迁移需要高电流密度通过金属互连线,金属间化合物扩散需要具有不同扩散率的金属接触,严重超标的氧含量使得像钝化功率晶体管呈现双线击穿现象等. 此次发现的迁移现象有别于上述已知的金属迁移,且在以往的文献中并未有过描述. 为了复现该大功率平面工艺晶体管中的这种迁移现象以及研究现象的发生条件,笔者设计进行了相应的一组实验,分别取证温度、湿度、芯片表面污染物以及器件局部结构等与此迁移现象的关联性.

1 实 验

实验样品从失效分析备选器件中选用同种批次规格合格品的晶体管 8 个(如图 1),样品分别标注为 1 ~ 8#,且保证常温下进行反压测试曲线正常,反压测试依据表 1 中的 V_{CBO} 与 V_{CEO}.

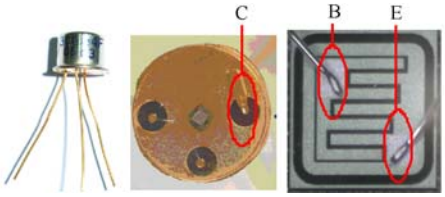


图 1 样品外观

表 1 电性能测试

参数	取值范围	单位	条件
I_{CBO}	≤0.5	μA	V_{CB} = -30 V
I_{CEO}	≤1.0	μA	V_{CE} = -30 V
I_{EBO}	≤0.5	μA	V_{EB} = -2 V
V_{EBS}	≤1.2	V	I_C = 170 mA I_B = 17 mA
V_{CES}	≤2.5	V	I_C = 170 mA I_B = 17 mA
h_{FE}	≥45	1	V_{CE} = -10 V I_C = 20 mA
V_{CBO}	≥420	V	I_C = 100 μA
V_{CEO}	≥400	V	I_C = 100 μA
V_{EBO}	≥4	V	I_E = 100 μA

本实验主要分为以下 5 个步骤:

1) 挑选 4 个样品(1 ~ 4#)进行开帽,在金相显微镜下观察芯片表面是否有明显的污染物和水分. 若发现芯片表面附着有污染物,立即进行 SEM(Scanning Electron Microscopy)和 EDX(Energy Dispersive X-ray)化学成分分析;

2) 将所有 8 个样品放入温箱,随温箱一起逐次降温至 -10 ℃, -30 ℃, -60 ℃,并进行 400 ~ 500 V 的反压测试. 观察曲线是否正常,若不正常则取出,正常则继续进行,以验证低温过程是否影响迁移发生;

3) 对曲线不正常的样品在金相显微镜下进行 B-C 间 400 ~ 500 V 反压测试,观察此时常温下是否有迁移现象发生;

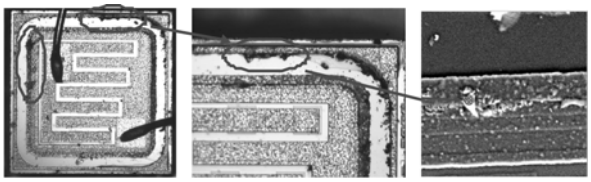
4) 按照标准 J-STD-020[7],将发生迁移的样品放在 125 ℃温箱内 48 h 烘干,然后再次进行反向测试,以观察不同湿度是否影响迁移发生;

5) 至此,对迁移物质进行 SEM 和 EDX 化学成分分析. 判断迁移物质成分是否和污染物一致,迁移现象发生部位是否与污染物位置一致,是否与器件局部结构有关.

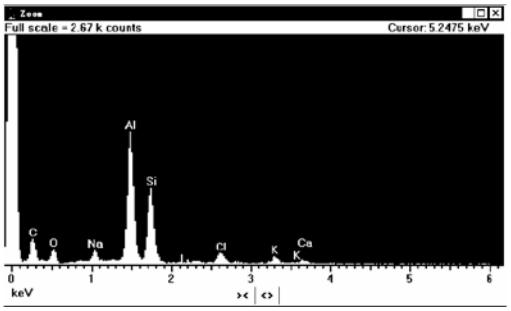
2 结果与分析

2.1 开帽物理观察与分析

开帽后,在显微镜下发现 1 ~ 4#样品表面均存在不同程度的污染物痕迹,但没有明显的水分迹象. 其中,在 2#样品上发现大量污染物(如图 2a),并对污染物质进行 EDX 成分分析. 由图 2b 可知,污染物中含有大量的 Al 以及 Na,K 元素. 在此,可初步判断污染物是生产工艺过程中遗留下的,由制造过程中的分散性原因造成的.



a 污染物位置



b 污染物成分分析

图 2 表面污染物

2.2 低温测试与烘干验证

最初迁移现象是在低温反向测试时发现的,故而逐次在 -10 ℃, -30 ℃, -60 ℃低温条件下对所有 8 个样品进行 400 ~ 500 V 的反压测试. 当温箱温度达到 -60 ℃时,1#,2#样品反压测试存在明显的散点现象. 取出后,在常温下继续进行 B-C 间的反压测试,并在显微镜下观察到 1#,2#样品表面出现明显的黑色迁移物质,但 1#,2#样品并未反向击穿(如图 3). 但是,图 4 中所示 8 个样品在 -60 ℃条件下却仍无显著的性能退化迹象,因而说明低温影响并不是产生迁移的必要

条件. 鉴于开帽后的样品在温箱内外出入时,芯片表面可能会引入水气. 1#,2#样品经过专门的烘干取出后,在显微镜下进行反压测试,观察到1#样品仍然继续存在低温下的迁移现象. 可见,诸如水分这样的电解液也不是发生迁移的必要条件,则该迁移现象不属于电化学迁移.

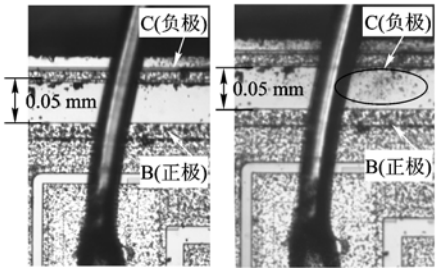


图 3　迁移过程

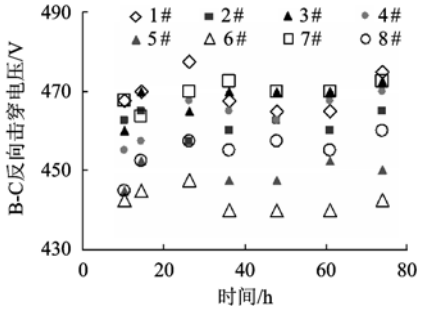
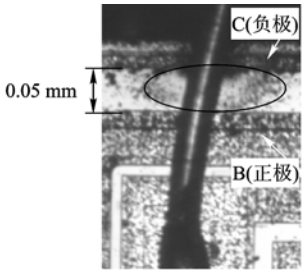


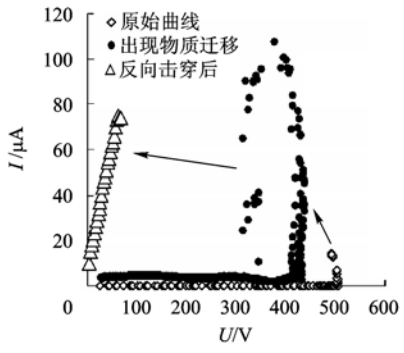
图 4　低温反向测试

2.3　迁移物质分析对比

在上述反压测试过程中,原本 2#样品硅带间不存在高电流密度,但是迁移物质会随时间从 C 极跨越宽 0.05mm 的硅带至 B 极,最终导致 B-C 反向击穿,复现了前述的铝迁移现象(如图 5).



a　跨越硅带



b　反向击穿

图 5　铝迁移

通过对 2#样品中的迁移物质 EDX 成分分析,可见黑色迁移物质与硅带相对比,其中 Al 及 O 含量均有明显上升(如图 6、表 2),说明该迁移物质是铝元素. 在显微镜下对比观察,发现迁移现象总是始于键合丝的正下方部位(如图 7),而与污染物位置没有必然的关联性,则迁移的 Al 源自铝互连线. 由此可见,该迁移现象不属于电迁移或金属间化合物扩散. 这里可以看到,B-C 间存在某个由反压引起的电场阈值,当超过这个阈值时,铝迁移现象就会发生.

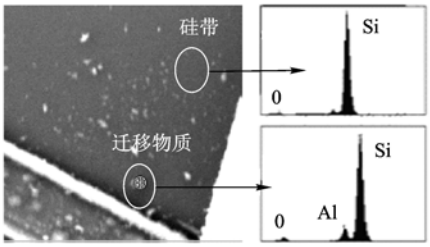


图 6　表面物质与迁移物质

表 2　化学成分对比

元素名称	硅带物质		迁移物质	
	元素含量	原子含量	元素含量	原子含量
O	2.38	4.09	17.12	26.54
Al	0.88	0.90	6.98	6.42
Si	96.74	95.00	75.90	67.04

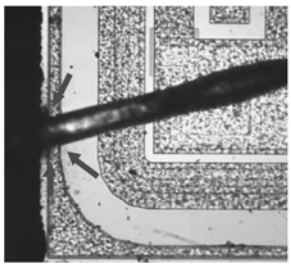


图 7　迁移部位

至此,基于上述结果分析,并结合以往文献研究[5, 8-9],对这种新的铝迁移现象给出如下假说(如图 8):

1) 迁移物质由于在 B 极的键合丝与 C 极位置上比较接近时所形成的电场放电击穿形成,再通过 SIPOS 位置逐步向芯片上的 B 极扩展,以导致反向电压击穿,即键合丝的存在破坏了 B-C 之间的电场,同时削弱了硅带的半绝缘性能;

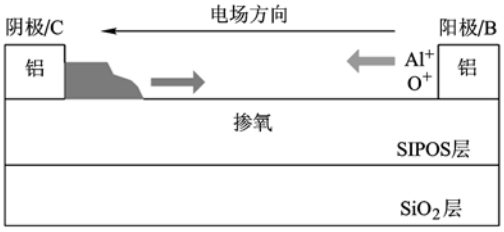


图 8　迁移原理示意图

2）在硅带中掺杂的氧元素成为铝金属氧化物中氧元素的来源，尤其是在氧含量严重超标时，会使得 SIPOS 层呈现 SiO_2 性质，在 SIPOS 与 Si 衬底界面会出现界面效应；

3）在芯片表面高强度电场条件下，氧化铝中的 Al 离子向阴极运动，形成漏电流和铝迁移现象.

3 结束语

迁移物质是铝元素，此种铝迁移现象既不是电化学迁移，也不是电迁移或金属间化合物扩散. 温度、湿度与芯片表面污染物都不是此种铝迁移现象发生的必要条件；而在加载一定的反向电压时，在该具有平面结构的功率型半导体器件的芯片表面，伴随铝金属化合物发生迁移现象. 此种铝迁移发生部位总是始于键合丝的正下方部位，表明键合丝对于发生迁移起到重要作用. 本实验研究对于迁移机理给出一种解释，即在反向电压条件下，硅带中所含的氧元素与键合丝所激化的芯片表面电场共同导致了氧化反应中产生的铝离子向阳极运动，进而发生迁移现象. 在今后的工作中，还需通过工程实验与理论建模相结合的方法进一步量化诱发条件、验证迁移机理，进而实现失效预测.

参考文献（References）

[1] Xie Jingsong, He Jingjing, McCluskey Patrick. Aluminum migration on the die surfaces of a power transistor in high-intensity electric fields[C]//Proceedings of the 40th International Symposium on Microelectronics. San Jose: IMAPS, 2007

[2] Michael L, Korwin-Pawlowski, Guillot Jean Michel, et al. Planar P-N junction semiconductor structure with multilayer passivation: United States, 5677562[P]. 1997 - 10 - 14

[3] Michaël Bairanzade. Application note AN1628/D understanding power transistors breakdown parameters[EB/OL]. Denver, CO: Motorola Literature Distribution, 1997 [2010 - 10 - 18]. http://www.eetasia.com/ART_8800068404_499501_AN_f01d6f08.HTM

[4] Mimura A, Oohayashi M, Murakami S, et al. High-voltage planar structure using SiO2-SIPOS-SiO2 Film[J]. IEEE Electron Device Letters, 1985, 6 (4): 189 - 191

[5] 史良钰. SIPOS 钝化功率晶体管双线击穿现象的研究[D]. 哈尔滨：哈尔滨理工大学应用科学学院，2009
Shi Liangyu. Study of double-line breakdown phenomenon for power transistor with SIPOS passivation layer [D]. Harbin: School of Applied Sciences, Harbin University of Science and Technology, 2009 (in Chinese)

[6] 姚立真. 可靠性物理 [M]. 北京：电子工业出版社，2004：330 - 337
Yao Lizhen. Reliability physics[M]. Beijing: Publishing House of Electronics Industry, 2004: 330 - 337 (in Chinese)

[7] J-STD-020C Moisture/reflow sensitivity classification for nonhermetic solid state surface mount devices[S]

[8] Chung S K. Analytic model for field-plate-edge breakdown of planar devices terminated with field plate and semiresistive layer [C]//IEE Proceedings on Science, Measurement and Technology. Stevenage: IET, 2004: 21 - 24

[9] Stoc kmeier T, Lilja K. SIPOS-passivation for high voltage power devices with planar junction termination[C]//Proceedings of the 3rd International Symposium on Power Semiconductor Devices and ICs. Baltimore: IEEE, 1991: 145 - 148

（编 辑：娄 嘉）