# SRAM 型 FPGA 单粒子效应逐位翻转故障注入方法

宋凝芳 秦姣梅 潘 雄 江云天

(北京航空航天大学 仪器科学与光电工程学院, 北京 100191) (第二炮兵装备研究院, 北京 100085)

**摘 要**: 针对 SRAM(Static Random Access Memory)型 FPGA(Field Programmable Gate Array)空间应用的可靠性评测问题,提出一种逐位翻转的故障注入试验方法,利用动态重配置技术,通过检测逻辑电路设计配置存储单元中的单粒子翻转敏感位数量和位置,可计算出动态翻转截面和失效率,绘出可靠度变化曲线. 分别对采用 TMR(Triple Modular Redundancy)防护设计的和未采用 TMR 防护设计的 SRAM 型 FPGA 乘法器模块进行了故障注入试验,验证了得到的敏感位位置的正确性,并计算出各自的可靠性参数和曲线.

**关 键 词**: 故障注入; 单粒子翻转; 动态重配置

**中图分类号**: V 524.3

**文献标识码**: A **文 章 编 号**: 1001-5965(2012)10-1285-05

# Evaluating SEU effects in SRAM-based FPGA with bit-by-bit upset fault injection

Song Ningfang Qin Jiaomei Pan Xiong

(School of Instrument Science and Opto-electronics Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Jiang Yuntian

(The Second Artillery Equipment Academy, Beijing 100085, China)

**Abstract**: Static random access memory (SRAM)-based field programmable gate arrays (FPGAs) are extremely sensitive to single event upsets (SEUs) induced by radiation particles. In order to evaluate the dependability of the obtained designs, a bit-by-bit upset fault injection methodology based on run-time reconfiguration was proposed. The methodology can detect the sensitive bits in various logic designs. The configuration memories' dynamic cross section, failure rate and reliability change curve can be counted with the number of sensitive bits. The reliability parameters and curves of triple modular redundancy (TMR) multiplier and non-TMR multiplier were obtained with this method, and the correctness of sensitive bits was validated.

**Key words**: fault injection; single event upset; run-time reconfiguration

SRAM(Static Random Access Memory)型 FPGA(Field Programmable Gate Array)具有信息密度大、性能高、可重复编程的特性,在空间领域得到了广泛应用[1]. 然而 SRAM 型 FPGA 对空间中的单粒子十分敏感,易发生单粒子翻转. 单粒子翻转会导致 FPGA 中存储单元的内容改变,导致计算结构错误、程序执行序列错误等,甚至导致系统的崩溃[2]. 因此,在应用于空间环境中之前,必须对 FPGA 进行容错设计,并对设计的可靠性进行有效测试和评估.

目前,在地面上模拟空间中的单粒子翻转主要采用辐射模拟和故障注入的方法. 辐射模拟即采用重离子或高能质子等模拟源来辐照器件,测试其辐射敏感参数,为器件选型和预估实际辐射

**收稿日期**: 2011-09-07; **网络出版时间**: 2012-09-26 11:04

**网络出版地址**: www.cnki.net/kcms/detail/11.2625.V.20120926.1104.005.html

**基金项目**: 国家自然科学基金资助项目(61007040)

**作者简介**: 宋凝芳(1968 - ),女,天津人,研究员,songnf@263.net.

环境中的单粒子翻转率提供依据. 然而,此方法成本很高,注入位置难以控制,而且危险性高.

与此相比,模拟单粒子翻转的第 2 种方式,即故障注入方法则弥补了上述缺点,成为地面模拟单粒子翻转的重要手段. 尤其是利用 SRAM 型 FPGA 重配置特性进行的故障注入方法得到了极大的关注. 文献[3]提出采用部分动态重配置,随机注入的方法对 FPGA 进行故障注入. 文献[4-5]中提到开发了故障注入平台 SLAAC1,对 Virtex 系列芯片采用 TMR(Triple Modular Redundancy)技术后的单粒子翻转可靠性进行评测. 此平台只适用于 Virtex 系列芯片,对 V Ⅱ及以上系列不支持. 国内方面,文献[2]实现了基于重配置技术的故障注入,但试验时需由用户提供翻转位的地址. 而实际上用户无法知道设计中对应电路资源的配置位位置,在测试时很难决定需要翻转的配置位,从而为电路的可靠性评测造成了很大的困难.

本文提出的逐位翻转故障注入方法,无需用户了解数字电路设计的实现细节及提供故障注入位置,就可得到设计的可靠性参数,为设计的可靠性评估和改进提供依据. 适用的故障类型包括单粒子翻转及单粒子瞬态脉冲引起的所有单位配置位故障.

## 1 逐位翻转故障注入方法

故障注入方法是一种评测容错机制是否有效的试验方法,通过有意识地向系统中引入故障来加速容错机制的评测. FPGA 发生单粒子翻转后,其故障表现为其中存储单元的内容改变,而这些存储单元的内容是由比特文件中的配置位决定的. SRAM 型 FPGA 动态重配置的特性使得可在程序运行中人为翻转配置位,从而引入与单粒子翻转同等效力的故障,模拟 FPGA 空间应用发生单粒子翻转时的状况. 通过分析故障注入后电路的输出功能,评测逻辑设计的抗单粒子翻转能力.

为了能对任何一个用 FPGA 实现的电路在其设计完成后评测它的抗单粒子翻转可靠度,并主动找出其配置存储单元中的敏感位,提出了一种逐位翻转的故障注入方法.

逐位翻转,顾名思义,即在程序运行过程中对配置位进行逐位翻转,然后逐次动态重配置到 FPGA 中,检测翻转位对设计输出的影响. 翻转后引起输出结果错误的配置位即为敏感位. 此方法可以检测出配置存储单元中的所有敏感位,并通过生成一个 msk. dat 掩码文件,定位出敏感位在配置文件中的具体地址.

得到敏感位个数后,可计算得到电路设计配置存储单元的动态翻转截面[5]为

$$\sigma_{\mathrm{d}} = \sigma_{\mathrm{s}} \times \frac{N_{\mathrm{sb}}}{N_{\mathrm{tb}}} \tag{1}$$

式中,$\sigma_{\mathrm{s}}$ 为器件配置存储单元的静态翻转截面;$\sigma_{\mathrm{d}}$ 为电路设计配置存储单元的动态翻转截面,$\sigma_{\mathrm{d}}$ 的单位与 $\sigma_{\mathrm{s}}$ 相同,为 $\mathrm{cm}^2$/器件;$N_{\mathrm{sb}}$ 为敏感位位数;$N_{\mathrm{tb}}$ 为配置位总位数. 与静态翻转截面反映器件的抗单粒子翻转能力不同,动态翻转截面反映的是 FPGA 实现的用户设计的抗单粒子翻转能力,与使用的器件和用户设计均有关系.

将敏感位位数乘以每位的翻转率 $\mu$,就可得系统的失效率 $\lambda$,表达式为

$$\lambda = N_{\mathrm{sb}} \times \mu \tag{2}$$

得到 $\lambda$ 后,由于系统可靠度服从泊松分布,其可靠度表达式为

$$R = \exp(-\lambda t) \tag{3}$$

式中,$t$ 为系统运行时间;$R$ 为系统可靠度. 根据式(3)可绘出系统的可靠度变化曲线.

## 2 逐位翻转故障注入实现

### 2.1 故障注入系统结构

根据上述逐位翻转方法,故障注入系统的实现需有一个控制芯片来控制配置位的翻转和被测芯片的重配置,并将检测到的敏感位及敏感位位置(由 msk. dat 体现)上传到上位机.

设计的故障注入系统结构框图如图 1 所示. 包含测试电路板、数据采集系统和上位机 3 部分.

测试电路板包含控制器 FPGA、被测 FPGA(DUT, Device Under Test)及各自的 PROM(Programmable Read-Only Memory). 控制器负责的主要功能为:①DUT 的初始配置;②DUT 配置数据的翻转和动态重配置;③DUT 输出结果和预知正确结果的比较,及比较结果的上传.

数据采集系统起到协议转换和平衡数据传输速率的作用,负责上位机命令的下达和测试电路板数据的上传.

### 2.2 故障注入试验流程

整个试验的流程如图 2 所示. 分为以下几步:

1) 上位机上电,控制器将 DUT PROM 中的配置数据发送给 DUT,完成 DUT 的初始配置;

2) 上位机发送逐位翻转命令,控制器对 DUT 配置数据进行逐位翻转;

3) 控制器将翻转位所在数据帧动态重配置到 DUT 中;

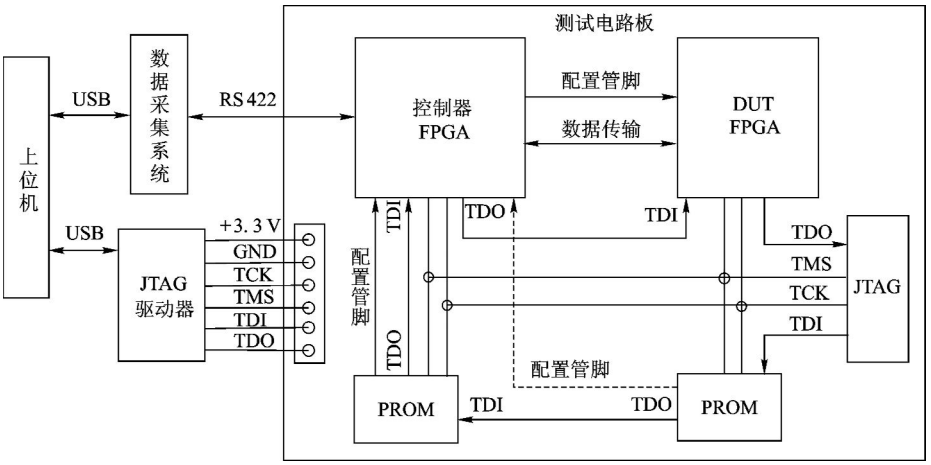


图 1　故障注入系统结构框图

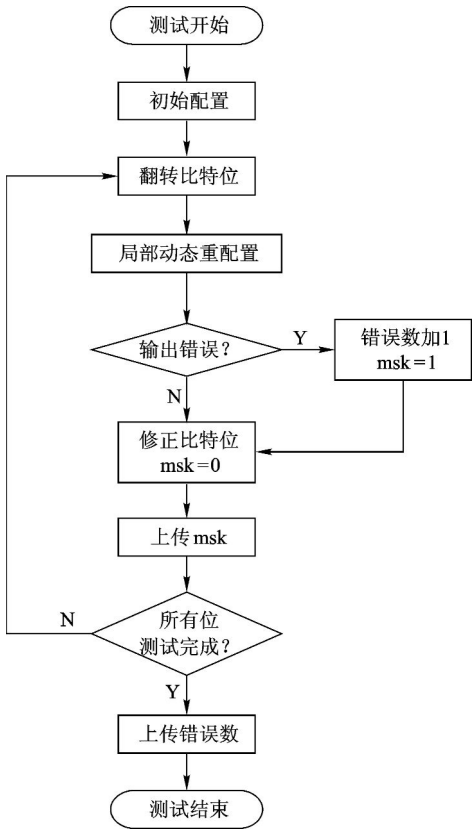


图 2　试验流程图

4）比较重配置后 DUT 输出结果和预知的正确结果. 引起输出结果错误的位为敏感位,错误数加 1,并将相应位的 msk 掩码值记为 1;

5）将 msk 值和错误总数上传. 上传的数据在上位机中生成一个 msk. dat 掩码文件. 根据此文件可知敏感位的总位数及具体位置.

考虑到控制器的资源使用以及敏感位位置分析的方便,将 FPGA 的配置位按栏类型做了如表 1 划分,分别进行逐位翻转. 通过这种方式可直观看出每类配置位的敏感位个数.

另外,方法在设计时利用 SRAM 型 FPGA 可以局部动态重配置的优点,每次只重配置翻转位所在的 1 帧数据,节约了大量的时间. 试验所用 XC2V1000 系列芯片除 BRAM(Block Random Access Memory)外共有配置位 2 876 416 位. 即一次试验共需重配置 2 876 416 次. 在配置时钟选择 2 MHz时,如果重配置全部采用全局重配置,试验共需 187 h,是不现实的. 而本方法只需 30 min 左右即可将所有配置位遍历一遍,节约了大量的时间,也为重复试验实现了可能. 试验花费时间如表 1 所示.

**表 1　逐位翻转试验时间花费**

| 配置位划分 | GCLK 栏 | IOI/IOB 栏 | CLB1 ~ 7 栏 | CLB8 ~ 14 栏 | CLB15 ~ 20 栏 | CLB21 ~ 26 栏 | CLB27 ~ 32 栏 | BRAM Int 栏 | 总计 |
|---|---|---|---|---|---|---|---|---|---|
| 试验花费时间/s | 10 | 120 | 354 | 354 | 304 | 304 | 304 | 203 | 1 980 |

注:GCLK,IOI/IOB,CLB,BRAM Int 均为 FPGA 中配置存储单元的栏类型.

## 3　故障注入试验及结果分析

### 3.1　测试对象

对经过 TMR 设计的乘法器和不经过 TMR 设计的乘法器分别进行逐位翻转试验,比较测试结果.

TMR 采用输入和乘法模块均三模冗余,单表决器输出的设计方法(如图 3 所示). 同时,为了避免 TMR 单点失效问题,各模块进行了布局操作. 将 M1 模块放置于 CLB(Control Logic Block)1 ~ 7 栏,M2 放置于 CLB8 ~ 14 栏,M3 放置于CLB21 ~ 26 栏,V0 放置于 CLB15 ~ 20 栏. 将所有的输入输出放置在芯片左侧和右侧的管脚. 未经过 TMR 设计的乘法器其乘法器模块放置于 CLB8 ~ 14 栏.

乘法器输入为 4 位×4 位,输出为 8 位. 两种设计的资源使用情况如表 2 所示.

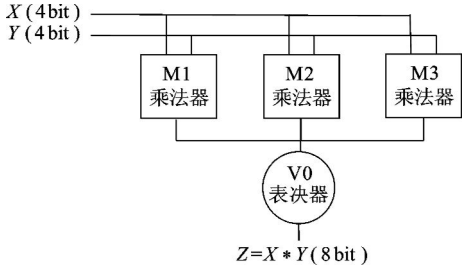


图 3 TMR 乘法器设计结构图

**表 2 两种设计资源使用情况**

| 乘法器 | 真值表 | | | IO 管脚 | | |
|---|---|---|---|---|---|---|
| | 使用个数 | 总个数 | 百分比/% | 使用个数 | 总个数 | 百分比/% |
| TMR | 94 | 10240 | 0.9 | 32 | 324 | 9.87 |
| 无 TMR | 29 | 10240 | 0.3 | 16 | 324 | 4.94 |

### 3.2 测试结果及分析

#### 3.2.1 测试结果

对上述设计进行试验,结果如表 3 所示.

TMR 乘法器 CLB15 ~ 20 栏逐位翻转试验生成的 msk. dat 文件截取部分如图 4 所示. 文件中为 1 的位即表示配置数据中相应位为敏感位,最后 3 个字节代表敏感位的总位数. 对 msk 文件进行简单分析即可得敏感位的具体位置,见表 4.

根据实验结果,由式(1)、式(2)可得两种电路设计的可靠性参数如表 5 所示. 这里的 $\sigma_s$ 采用粒子能量为 63.3 MeV 时 XC2V1000 的静态翻转截面 $7.86\times10^{-8}$ cm$^2$/器件[6]. 翻转率采用 Xilinx 公司发布的 Virtex Ⅱ 系列芯片配置位翻转率 $4.4\times10^{-7}$/(bit · d)[7]. 由式(3),得到两种设计的可靠度变化曲线如图 5 所示.

**表 3 逐位翻转试验结果** bit

| 乘法器 | GCLK 栏 | IOI/IOB 栏 | CLB1 ~ 7 栏 | CLB8 ~ 14 栏 | CLB15 ~ 20 栏 | CLB21 ~ 26 栏 | CLB27 ~ 32 栏 | BRAM Int 栏 | 总计 |
|---|---|---|---|---|---|---|---|---|---|
| TMR | 0 | 8 | 0 | 0 | 20 | 0 | 0 | 0 | 28 |
| 无 TMR | 0 | 10 | 0 | 83 | 0 | 0 | 0 | 0 | 93 |

```
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 80 40 00 00 00 80 01 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
                    ⋮
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00;
00 00 14
```

图 4 TMR 乘法器 CLB15 ~ 20 栏 msk. dat 文件

**表 4 TMR 乘法器 CLB15 ~ 20 栏敏感位位置**

| 序号 | 字节偏移 | 栏类型 | 栏数 | 帧数 | 帧内位偏移 |
|---|---|---|---|---|---|
| 1 | 9515 | CLB | 16 | 1 | 1503 |
| 2 | 9516 | CLB | 16 | 1 | 1511 |
| 3 | 9520 | CLB | 16 | 1 | 1543 |
| 4 | 9938 | CLB | 16 | 2 | 1496 |
| ⋮ | ⋮ | ⋮ | ⋮ | ⋮ | ⋮ |
| 18 | 17991 | CLB | 16 | 21 | 1468 |
| 19 | 17991 | CLB | 16 | 21 | 1472 |
| 20 | 19273 | CLB | 17 | 2 | 1545 |

**表 5 设计的可靠性参数**

| 乘法器 | 敏感位位数/bit | $\sigma_d$/(cm$^2$ · 器件$^{-1}$) | 失效率/(d$^{-1}$) |
|---|---|---|---|
| TMR | 28 | $5.88\times10^{-13}$ | $1.23\times10^{-5}$ |
| 无 TMR | 93 | $1.97\times10^{-12}$ | $4.09\times10^{-5}$ |

#### 3.2.2 试验结果验证

为了验证所得敏感位位置的正确性,对 TMR 乘法器试验得到的敏感位进行逐位测试. 对应查找到的敏感位,在配置文件中翻转相应位,然后逐次用 JTAG 下载器下载到程序中运行,结果均造成程序的输出结果错误. 从而表明试验得到的敏感位位置是正确的.

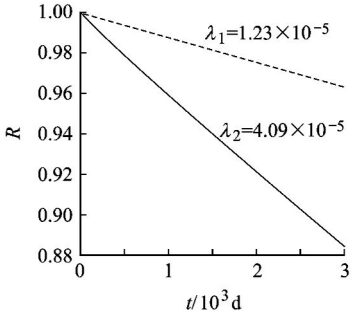


图 5 两种设计的可靠度变化曲线

#### 3.2.3 试验讨论

根据试验结果可以得到如下分析:

1) 本试验电路设计为组合逻辑电路,没有用到时钟和 BRAM,因此,敏感位完全位于 CLB 栏和 IOI/IOB 栏.

2) TMR 设计的 CLB 栏敏感位只存在于表决器模块中,因此,要想进一步提高设计的可靠度,应该提高表决器模块的可靠度或采用多表决器的方法. 这与理论分析是相符合的.

3) 此方法在对时序电路进行故障注入试验时,需提前判断好故障传输至输出端可能所需的最长周期,以在故障判断时做相应周期延时.

4) 翻转的配置存储位中包含一部分的用户存储单元,即决定触发器功能的比特位. 但触发器

占资源很少,只有 0.42% 左右[5],可以忽略.

5) 此方法只能进行单位翻转,要想遍历所有的两位翻转或多位翻转是不现实的. 但实际中,单粒子效应引起的 95% 以上是单位翻转[8],且采用刷新功能可以有效防止翻转积累,因此并不影响本试验对可靠度的评测.

## 4 结　论

提出的逐位翻转故障注入方法可以检测出用户电路设计配置存储资源的敏感位,得到其动态翻转截面和失效率,绘出可靠度变化曲线,从而对电路设计在空间应用中的可靠度进行评测. 试验花费时间较少,一次完整的试验只需 33 min. 试验不仅可以得到敏感位的位数,还可以对敏感位的位置进行定位,对设计改进有很好的参考意义. 但方法主要针对单位配置位翻转故障,对多位翻转、累加翻转故障及单粒子功能中断故障的故障注入方法还有待进一步研究.

### 参考文献 (References)


[1] 费尔南达·利马·卡斯腾斯密得,路易吉·卡罗,里卡多·赖斯. 基于 SRAM 的 FPGA 容错技术[M]. 杨孟飞,龚健,文亮,等译. 北京:中国宇航出版社,2009:1-8
Fernanda L K, Luigi C, Ricardo R. Fault-tolerance techniques for SRAM-based FPGAs[M]. Translated by Yang Mengfei, Gong Jian, Wen Liang, et al. Beijing: China Astronautic Publishing House, 2009:1-8 (in Chinese)

[2] 齐鑫,冯文全. 基于动态重配置的 SEU 故障检测与修复系统的设计[C]//方滨兴. 中国通信学会第六届学术年会论文集. 广州:中国通信学会,2009:82-87
Qi Xin, Feng Wenquan. The design of a SEU fault detection and recovery system based on dynamic reconfiguration[C]//Fang Binxing. The Sixth Conference Proceedings of China Communications Association. Guangzhou: China Institute of Communications, 2009:82-87 (in Chinese)

[3] Leveugle R, Antoni L, Feher B. Dependability analysis: a new application for run-time reconfiguration[C]//Amaral J N. Proceedings of the International Parallel and Distributed Processing Symposium (IPDPS). Los Alamitos: IEEE Computer Society Press, 2003:345-351

[4] Johnson E, Caffrey M P, Graham P S, et al. Accelerator validation of an FPGA SEU simulator[J]. IEEE Transactions on Nuclear Science, 2003, 50(6):2147-2157

[5] Morgan K S, McMurtrey D L, Pratt B H, et al. A comparison of TMR with alternative fault-tolerant design techniques for FPGAs[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2065-2072

[6] Quinn H M, Graham P S, Morgan K S, et al. An introduction to radiation-induced failure modes and related mitigation methods for Xilinx SRAM FPGAs[C]//Plaks T P. Proceedings of the International Conference on Engeering of Reconfigurable Systems Algorithms (ERSA). Las Vegas: CSREA Press, 2008:139-145

[7] Yui C, Swift C, Carmichael C. Singel event upset susceptibility testing of the Xilinx Virtex Ⅱ FPGA[C]//Katz R B. Military and Aerospace Applications of Programmable Devices and Technologies Conference (MAPLD). Washington D C: Kossiakoff Conference Center, 2002:212-217

[8] Quinn H M, Graham P S, Wirthlin M J, et al. A test methodology for determining space readiness of Xilinx SRAM-Based FPGA devices and designs[J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(10):3380-3395


(编　辑:刘登敏)