基于FPGA的可变尺寸块运动估计高效结构

王 瑞 姜宏旭 李 波

(北京航空航天大学 计算机学院,北京 100191)

摘 要:针对可变尺寸块运动估计(VBSME,Variable Block-Size Motion Estimation)的硬件结构在现场可编程门阵列(FPGA, Field Programmable Gate Array)上实现时消耗资源多且速度慢的问题,提出了一种面积和速度优化的VBSME硬件结构.其中,绝对差累加和(SAD,Sum of Absolute Differences)的计算采用基于随机存储器(RAM,Random Access Memory)的累加计算方式,比基于寄存器合并的方式节省了面积并增加了速度;通过采用脉动比较链而非总线结构,增强了多个SAD值的比较能力,并能高效地实现对部分差排除算法(PDE,Partial Difference Elimination)的支持.基于Virtex-II型FPGA器件,本结构消耗了2 261个slice,时钟频率达到164 MHz,在搜索窗口为16×16时可实时处理标清格式的视频.与同类设计相比,设计的面积可减少77%,速度增加218%,FPGA的硬件效率显著提升.

关 键 词:视频编码;可变尺寸块运动估计;硬件结构;现场可编程门阵列

中图分类号:TP 311

文献标识码:A **文 章 编 号**:1001-5965(2009)11-1339-05

FPGA-based hardware-efficient architecture for variable block-size motion estimation

Wang Rui Jiang Hongxu Li Bo

(School of Computer Science and Technology, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Abstract: To improve the hardware efficiency of the FPGA-based(field programmable gate array based) architecture for variable block-size motion estimation, a novel architecture was proposed, which was optimized in both area and speed. This architecture introduced RAM-based SAD(sum of absolute differences) accumulators, which had better performance than register-based combiner in both area and speed. To improve the speed of SADs' comparison and support partial difference eliminating algorithm, the architecture adopted a systolic comparing chain, which substituted for the bus-based comparator used in former designs. Based on Virtex-II family FPGA from Xilinx Inc., the proposed architecture consumed only 2261 slices, with the clock frequency as high as 164 MHz. It means that the architecture could process standard-definition format video with 16×16 search window in real-time. Compared with similar designs, the architecture could save the area by 77% and increase the speed by 218%.

Key words: video coding; VBSME(variable block-size motion estimation); hardware architecture; FPGA(field programmable gate array)

在视频编码系统中,运动估计能消除大部分时域冗余,是实现高压缩比的关键.为进一步提高运动估计的性能,最新的视频编码标准H.264/AVC[1]采用了基于可变尺寸块的运动估计方法(VBSME, Variable Block-Size Motion Estimation).然而VBSME在提高压缩效率的同时也增

收稿日期:2008-11-11

基金项目:国家自然科学基金资助项目(60505007)

作者简介:王 瑞(1979—),男,陕西靖边人,博士生,matrix_79_79@163.com.

加了计算复杂度.为了加快运算,软件实现 VBSME 通常采用快速算法,利用运动向量(MV,Motion Vector)的时空相关性和绝对差累加和(SAD,Sum of Absolute Differences)曲面的局部单调性加速搜索收敛速度,但降低了搜索精度.对于硬件实现,由于快速算法的处理过程依赖图像内容,增加了运算、控制和存储访问操作的随机性,不利于硬件流水和并行处理,因而较少被硬件实现采用[2].全搜索算法虽然运算量巨大,但搜索精度高,并且运算、存储和控制的规则性简化了硬件结构从而利于提高硬件性能和效率.因此,硬件实现 VBSME 时主要基于全搜索算法[2].目前已经提出了多种基于全搜索算法的 VBSME 硬件结构,文献[2-5]是几种典型的设计.其中,文献[2-3]采用了经典的树形累加结构[6],这种结构的运算和控制相对简洁高效,但并发度低时树结构不能重用数据,从而带来较高的数据带宽需求;高并发度的树结构虽然数据重用度有所改善,但消耗资源过多,不适合资源约束性强的 FPGA 器件.因此,文献[4]采用了一种广播参考帧(BRF,Broadcast Referenc Frame)[7]作为实现 VBSME 的基本框架.BRF 结构是一种半脉动结构,脉动节点上的处理单元(PE,Processing Element)对应不同的搜索位置,采用累加方式并发计算各搜索点的 SAD.BRF 结构在低并发度时就具有很好的数据重用度,因此在面积、存储带宽和并发度方面相对均衡.文献[5]基于 FPGA 对文献[4]的设计进行了面积优化,减少了寄存器数量,并增加了对部分差排除算法(PDE,Partial Difference Elimination)[8]这种快速全搜素算法的支持.可见,文献[4-5]所示结构都利用 BRF 结构在低并发度下获得较好的数据重用.但是,由于采用了基于寄存器合并的方式计算 SAD,这些结构中的 PE 单元消耗资源多且速度慢,限制了系统的整体处理能力和硬件效率.

本文提出了一种新的基于 FPGA 的 VBSME 结构,虽然同文献[4-5]一样采用 BRF 框架,但运算和控制部分都结合 FPGA 器件的特点进行了进一步的优化.对于 SAD 的计算,本文采用一种基于 RAM 累加器的结构实现所有 SAD 的计算和存储,比先前设计采用的寄存器合并方式更适合 FPGA 的资源结构特点,消耗资源少且速度快;针对 SAD 的比较电路,本文设计了一种脉动比较链结构,相比其它设计采用的总线比较器结构,比较能力更强并可用很少的资源代价支持 PDE 算法.基于 Xilinx 的 Virtex-II[9]器件,本文设计消耗了2 261个 slice,最快可运行在 164 MHz,在搜索窗口为 16×16 时能够实时处理标清格式的视频.相比同类 FPGA 设计,本文设计的面积减少了 77%,速度增加了 218%,硬件效率提升明显.

1 VBSME 及其硬件实现原则

视频编码通常采用基于块匹配[10]的运动估计算法,通过限定搜索匹配块的窗口尺寸以及采用 SAD 这种简化的块匹配度量来减少运算复杂度.尽管如此,运动估计的运算量仍然十分巨大,特别是 VBSME,一个宏块可进行两级划分,一级划分包含 16×16,8×16,16×8 和 8×8 四种模式,如图 1 所示.若选择了 8×8 模式,则 8×8 块可以进一步划分为 8×8,4×8,8×4 和 4×4 四种尺寸子块的组合.因此总共会产生 7 种尺寸形状的 41 个块,而每个块都具有独立的 MV 和 SAD,从而进一步增加了运动量和控制复杂度.

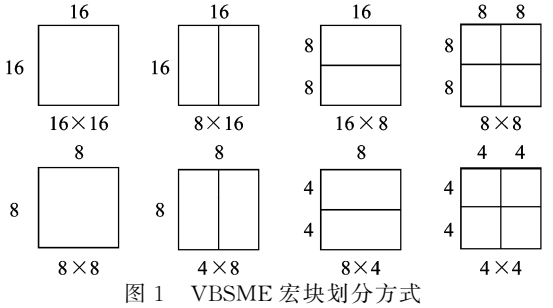

图 1 VBSME 宏块划分方式

硬件方式实现运动估计算法时,通常都是利用并发技术,将不同维度上的运算投影在多个可并发工作的 PE 上,从而使投影在时间维度上的长度缩短,提高处理速度.此外,为了降低存储带宽需求,运动估计的硬件结构必须考虑数据重用问题[11].基于 FPGA 进行硬件设计时,FPGA 的资源约束性和资源结构特点也是重要的考虑因素.在常见的 ME 硬件实现结构中,树结构的累加运算电路消耗资源少且速度快,但却需要大量寄存器加载求绝对差所需的数据,不适合寄存器与逻辑单元数量和结构关系相对固定的 FPGA 器件.而且一维树结构只能在宏块内并发,不能重用不同搜索点间的重叠参考帧数据,数据带宽需求较高.因此树结构更适合资源约束小且需要大规模并发的场合.而 BRF 结构由于是在搜索窗口维度上并发,低并发度情况下也能重用数据从而减少数据带宽,适合用作 FPGA 实现 VBSEM 的基本架构.但是,现有设计[5]对 FPGA 资源的使用效率仍然较低,因此有必要进一步利用 FPGA

结构和算法特点实现 VBSME 硬件结构的优化设计.

2　FPGA优化的VBSME硬件结构

本节通过对已有设计硬件低效原因的分析,提出了一种新的面积更小且速度更快的 PE 结构.然后针对 VBSME 产生的 SAD 数量多、比较运算量大的问题,提出了一种控制简单、比较能力强且支持 PDE 算法的脉动比较链结构.最后给出了完整的 VBSME 设计.

2.1　FPGA 资源高效的 PE 结构

在 BRF 结构中,每个 PE 对应一个搜索位置,因此 41 个 SAD 会在每个 PE 内部存储和运算.文献[4]采用 15 个寄存器分时存放和计算 41 个 SAD,其中 8 个专门累加 16 个 4×4 块的 SAD,而更大子块的 SAD 则利用 15 个寄存器共同合并得出.但如文献[2]所述,大量寄存器消耗了大量资源,而且其数据路选器带来很长的关键路径.由于每次累加和合并操作最多只激活 4 个寄存器,导致硬件使用率很低.文献[5]对文献[4]的设计进行了一定改进,减少了寄存器的数量,并采用 RAM 存储部分 SAD,但仍然采用合并方式获得大尺寸块的 SAD.由于合并方式需要同时读出并寄存两个操作数,控制复杂且关键路径更长.

考虑到 FPGA 中实现组合逻辑的基本单元即查找表(LUT,Look Up Table)主要采用 RAM 实现,所以 FPGA 所包含的小规模 RAM 的容量是寄存器容量的数倍[9].进一步考虑到 SAD 相对串行化的计算过程也符合 RAM 的工作方式,只需少量 RAM 就能实现 41 个 SAD 的存储和计算,不仅节省 FPGA 中资源而且有助于缩短关键路径的长度.基于这种用 RAM 累加 SAD 的思路,可进一步将 RAM 和加法器封装成一个子模块,即 RAM 累加器,如图 2 右侧虚线框内结构所示.从外部看,RAM 累加器如同双端口 RAM,一个端口写入一个端口读出,但写入的数据是累加到原有数据之上,当需要重新累加时可用"ctr"信号复位.从内部看,RAM 累加器的关键环路由 RAM 和加法器构成,其中 RAM 访问延时是 FPGA 中基本逻辑单元 LUT 的门延时,因此总延迟很小.考虑到 4×4 是尺寸最小的块,这种块的 SAD 也可作为其它尺寸块 SAD 的基本累加单位,因此用 1# 累加器实现 16 个 4×4 块的 SAD 的累加,非 4×4 块的 SAD 则由 2# 累加器生成,其输入来自 1# 累加器的输出.这样,两个深度和位宽不同但结构完全相同的 RAM 累加器就构成了一个计算 41 个 SAD 的 PE 单元.

RAM 累加器不仅结构简单,与之相关的各种控制信号的生成也不复杂.在图 2 中,地址 A_0 用来从 16 个 4×4 SAD 中选择当前需要被累加的 SAD,可从宏块扫描地址直接得到;地址 A_1 则读出一个已经累加完的 4×4 SAD,由于一个 4×4 SAD 被 6 个非 4×4 SAD 复用,因此每个完成的4×4 SAD 需要被规则地读取 6 次,并由地址 A_2 累加到 2# 累加器的相应单元中.A_3 读出 25 个非 4×4 块的 SAD 以供比较,它是 A_2 的一个简单延迟.可见,这些地址都可由宏块扫描地址简单映射得到.由于每个 SAD 被多次累加,因此也可被多次读出比较,这种在 SAD 没有完成计算时就被比较的方式可有效地支持 PDE 算法.

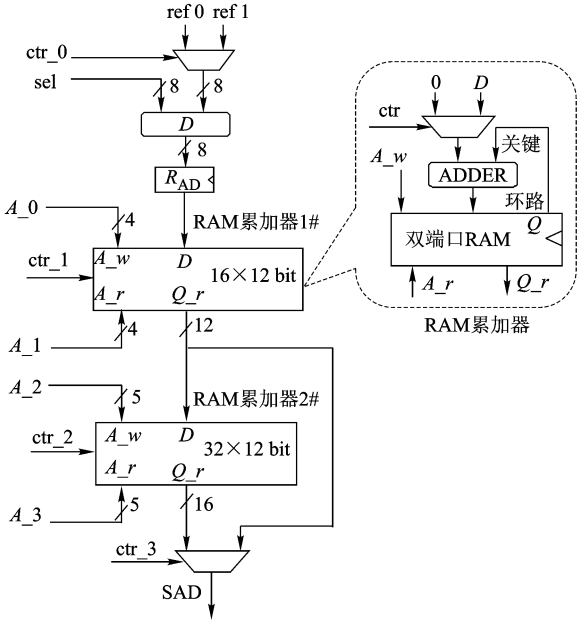

图 2　基于 RAM 累加器的 PE

表 1 给出了基于 RAM 累加器的 PE 在 Virtex-II 型 FPGA 上的实现结构,并与已有结构中 PE 的性能进行了比较.其中面积用 FPGA 的逻辑宏单元 slice 的数量表示.文献[4]的设计原本是基于 ASIC 技术,但本文对其进行了 FPGA 实现以供比较.可以看出,在 FPGA 器件上,基于 RAM 累加器的 PE 在速度和面积指标方面都具有明显的改进.

表 1　不同 PE 结构 FPGA 实现的性能比较

PE 结构	slice 数量	寄存器数量	视频频率/MHz
文献[4]	360	216	146.8
文献[5]	217	150	72.6
RAM 累加器	111	55	163.6

2.2　基于脉动比较链的 SAD 比较电路

在固定尺寸块的 BRF 硬件结构中,每个 PE

只产生一个SAD,可通过一个总线(路选器)将所有PE的SAD汇集到一个比较器进行比较.当有16个PE并发工作时,比较一个SAD占用总线16个时钟周期.而VBSME需要为每个PE比较41个SAD,一个宏块的256个时钟周期内最多只能比较16个SAD,因此必须增加总线和比较器的数量.由于SAD的生成时序并不均匀,为了避免冲突和降低延时,文献[4]使用了12条总线和比较器.而为了支持PDE算法,每个SAD还需要进行更多次的比较,因此文献[5]在支持PDE算法时多消耗了约2倍的资源,并且降低了速度.

在广播参考帧结构中,每个PE的工作相位都相差一个时钟周期,则SAD的输出也相差一个周期,因此可采用脉动结构对SAD进行比较.其基本思想如图3所示,存储在SAD_{min}&MV中的最小SAD——SAD_{min}和MV被读出后,依次穿过由比较节点C_0~C_{15}串接的脉动比较链,比较节点比较上端输入的SAD_n和左端传递过来SAD_{min},并更新SAD_{min}向右端节点输出,这样便获得了新的SAD_{min}及其对应的MV.

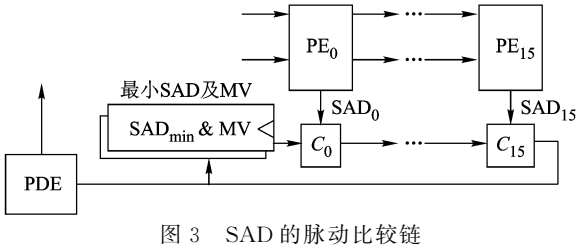

图3 SAD的脉动比较链

图3中的存储器SAD_{min}&MV可采用与PE中RAM累加器完全相同的SAD存储方案,这样其读出地址完全等同于PE所需地址,并可通过控制信号的脉动链进行传递,从而简化了PE的地址生成.当支持PDE时,比较链第1个节点C_0的结构如图4所示.

初始的SAD_{min}可被0xffff替代,以省去对存储器的初始化和复位.在比较未完成的SAD时,isFinal无效表示不更新SAD_{min}和MV_x.$isBig_0$初始为"0"表示SAD_{min}是目前最小的,如果遇到更小的SAD,则置为1并传送.若$isBig_0$在传递回来后仍然为"0",则说明初始SAD_{min}小于每个PE的SAD,则可跳过当前搜索行.可见,这种脉动比较链结构支持PDE算法的代价很低.

2.3 VBSME的整体结构

基于优化的PE和脉动比较链,完整VBSME结构如图5所示.

前端模块在RAM_P中准备好当前帧和参考帧数据,并用Rdy信号告知数据准备好.状态机

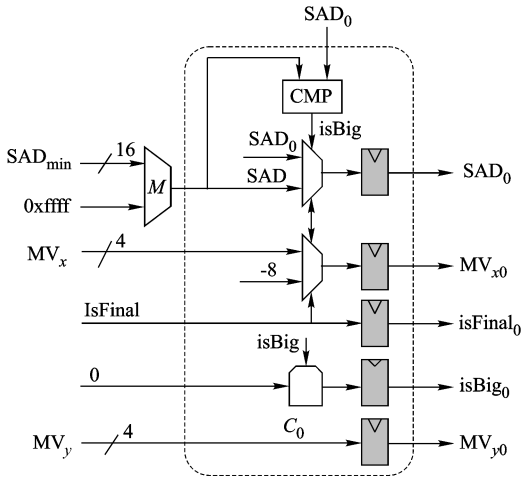

图4 支持PDE的SAD比较节点

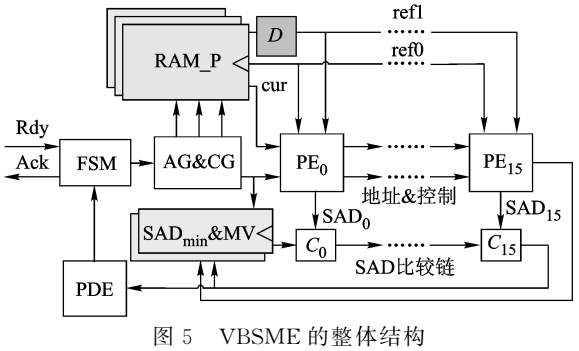

图5 VBSME的整体结构

FSM在得到Rdy信号后开始计数,并用Ack信号告知前端模块数据可准备新数据.不支持PDE时,FSM是一个简单的计数器,对于16×16的搜索窗口,每256个周期扫描一行16个搜索点,一个宏块的运算估计总共需要4 096个周期;当支持PDE时,FSM可根据$isBig_0$信号是否为0来修改计数器从而跳过当前搜索行并开始扫描下一行搜索点.AG&CG是地址和控制信号发生器,它通过计数器的值映射出全部地址和控制信号,并在脉动网络中传递.在地址信号中,图2中的A_1和A_3被PE_{15}送回,以便将C_{15}输出的SAD_{min}和MV写回SAD_{min}&MV.MV中,MV_y分量来自计数器的最高4个比特位.SAD_{min}&MV采用了乒乓式双缓冲,以供后端模块并发读取.

3 试验结果与比较

本文采用Virtex-II系列FPGA实现了图5所示结构,该结构中各模块及整体结构的面积和速度指标如表2所示,其中,脉动比较链、FSM以及AG&CG模块都给出了支持PDE的版本,可以看出本文结构支持PDE的代价很小."延时器件"是用来调整数据、地址和控制信号的时间相

位.可见,PE 消耗了大部分资源,并且是系统性能的瓶颈,这也是前面重点优化 PE 的原因所在.根据综合结果,不考虑 PDE 的加速效果,本文设计对标清格式视频能够达到 25.12 帧/s 的处理速度,满足实时应用要求.

由于 PE 是性能瓶颈,因此表 1 实际上已经完成了相似设计的粗略性能比较.表 3 给出了本文设计与文献[5]设计在相同 FPGA 器件上的性能和面积比较.对于不采用 PDE 的 VBSME 结构,以 slice 作为面积比较单位,可见本文设计减少了 37%的面积,却增加了 125%的性能;对于支持 PDE 的结构,本文减少了 77%的面积,而性能是其 3 倍多.可见本文设计的硬件效率较文献[5]中的设计显著提升.

表 2　VBSME 整体结构及内部模块的 FPGA 实现结果

项　目	slice 数量	LUTs	寄存器数量	视频频率/MHz
整体结构	2 266	3 888	1 262	163.6
整体结构+PDE	2 275	3 912	1 278	163.6
16 个 PE	1 779	3 040	880	163.6
脉动比较链	314	577	336	230.2
脉动比较链+PDE	322	593	352	230.2
FSM+AG&CG	37	71	15	232.1
FSM+AG&CG+PDE	41	79	15	232.1
SAD_{min}&MV	112	192	0	275.3
延时器件	24	8	31	301.5

表 3　本文设计与相似设计的资源消耗和性能比较

VBSME 结构	slice 数量	寄存器数量	视频频率/MHz	宏块/s
文献[5]	3 475	2 407	72.6	17 725
RAM 累加器(改进幅度)	2 205 (−37%)	1 262 (−47%)	163.6 (+125%)	39 941 (+125%)
文献[5]+PDE	9 788	3 168	51.4	
RAM 累加器+PDE(改进幅度)	2 219 (−77%)	1 278 (−60%)	163.6 (+218%)	45 751

注:软件仿真 PDE 扫描像素行平均排除率为 12.7%.

4　结 束 语

BRF 结构以其简单的存储、控制和高效的数据重用方式适合在资源受限条件下实现 VBSME 全搜索算法.由于 FPGA 是一种资源有限的硬件可编程平台,因而可采用 BRF 结构作为框架实现基于 FPGA 的 VBSME 硬件结构.已有基于 BRF 的设计虽然针对 VBSME 运算方式和 FPGA 结构进行了优化,但仍存在消耗资源多、运行速度慢的问题.本文给出的设计充分考虑了 VBSME 的运算特点和 FPGA 的资源结构特点,消耗资源少且性能高,并用很少的代价支持了 PDE 快速全搜索算法.本文结构在 Virtex-II 这种中等性能的 FPGA 器件上每秒能处理超过 25 帧的标清格式视频,具备了较强的实用性.

参考文献(References)

[1] ISO/IEC 144962-10, Information technology coding of audio-visual objects part 10: advanced video coding [S]

[2] Chen Chingyeh, Chien Shaoyi, Huang Yuwen, et al. Analysis and architecture design of variable block-size motion estimation for H. 264/AVC[J]. IEEE Trans Circuits Syst, 2006, 53(3): 578−593

[3] Li Brian M H, Leong Philip H W. FPGA-based MSB-first bit-serial variable block size motion estimation processor [C]//2006 IEEE International Conference on Field Programmable Technology. Piscataway, NJ: IEEE Inc, 2006: 165−172

[4] Yap Swee Yeow, McCanny John V. A VLSI architecture for variable block size video motion estimation[J]. IEEE Trans Circuits Syst Video Technol, 2004, 51(7): 384−389

[5] Sebastián López, Félix Tobajas, Arturo Villar, et al. Low cost efficient architecture for H. 264 motion estimation [C]//2005 IEEE International Symposium on Circuits and Systems. Piscataway, NJ: IEEE Inc, 2005: 412−415

[6] Jehng Yeushen, Chen Lianggee, Chiueh Tzidar. An efficient and simple VLSI tree architecture for motion estimation algorithms[J]. IEEE Transactions on Signal Processing, 1993, 41(2): 889−900

[7] Yang Kunmin, Sun Mingting, Wu Lancelot. A family of VLSI designs for the motion compensation block matching algorithm[J]. IEEE Transactions on Circuits System, 1989, 36(10): 1317−1325

[8] Kim Jongnam, Choi Taesun. A fast motion estimation for software based real-time video coding[J]. IEEE Transactions on Consumer Electronics, 1999, 45(2): 417−426

[9] Xilinx products table[EB/OL]. Xilinx Inc, 2007[2007−07−27]. http://www.xilinx.com/ products/tables/fpga.htm

[10] Jain Jaswant, Jain Anil. Displacement measurement and its application in interframe image coding[J]. IEEE Transactions on Communications, 1981, 29(12): 1799−1808

[11] Tuan Jenchieh, Chang Tiansheuan, Jen Cheinwei. On the data reuse and memory bandwidth analysis for full search block matching VLSI architecture[J]. IEEE Tran Circuits Syst for Video Technol, 2002, 12(1): 61−72

(编　辑:文丽芳)