高效 AVS环路滤波器结构设计

刘荣科 于 澎

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘 要: 为满足 AVS高清视频实时解码要求,提高环路滤波处理速度,提出了一种高效的 AVS去块效应环路滤波的实用结构. 将 8 ×8块进一步分割为 4 ×4块进行滤波运算. 通过优化滤波顺序,将需要滤波的 4 ×4块边界尽量集中,在读写数据的同时进行滤波操作,提高流水处理的效率和数据的利用率,从而有效地减少了滤波处理总的时钟数. 实验结果显示,处理一个宏块只需要 196个周期,相对于目前 AVS环路滤波设计,速度提高 50%. 在 100MHz工作频率下,能够支持 AVS高清视频的实时解码滤波处理.

关 键 词: 视频信号处理; 去块效应滤波; 实时解码; 高清视频; 超大规模集成电路

中图分类号: TP 302. 1

文献标识码: A **文 章 编 号**: 1001-5965(2009)10-1237-04

Efficient architecture design for AVS de-blocking loop filter

Liu Rongke Yu Peng

(School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Abstract: In order to meet the requirements in the real time decoding of high definition (HD) video, an efficient very large-scale integration (VLSI) architecture proper for de-blocking loop filter in audio video coding standard (AVS) was presented. The 8 ×8 blocks were divided into 4 ×4 blocks for filtering operations. After centralized process of 4 ×4 block boundaries, data and filtering operations were performed at the same time by improving filtering order. This architecture can increase the efficiency of pipelining and operating data in the SRAM, thereby highly reducing the total clock cycles of filtering process. Experiment results show that only 196 clock cycles are needed to finish filtering a macro-block for de-blocking filter in AVS. The processing speed increases by 50%. When the maximum frequency is 100 MHz, the real time decoding of HD video can be achieved in this architecture.

Key words: video signal processing; de-blocking filter; real-time decoding; HD video; VLSI circuits

音视频编码标准[1] (AVS, Audio Video coding Standard)是我国具有知识产权的第二代信源编码标准,在压缩效率上是 MPEG-2的 2～3倍,与 H. 264/AVC相当. AVS标准在拥有很好的压缩效果的同时,算法复杂度低、实现代价小. AVS视频标准中采用了基于 8 ×8块的整数离散余弦变换. 类似其它的采用基于块的 DCT (Discrete Cosine Transform)变换的视频压缩标准,当压缩率较高时,在重建图像中就会出现大量的、严重影响主观视觉质量的块效应. AVS采用环路滤波器去除图像中的块效应,以获得更好的主观视觉效果. 在 AVS系统中,环路滤波器由于其巨大的数据吞吐量和计算量,是制约 AVS实时应用的瓶颈.

对于 AVS环路滤波器的研究,文献[2]利用相邻块数据分开存储的组织策略和一个可配置的行列转换阵列,来增加处理的并行性,加速环路滤波操作,同时降低了对片外存储器存储带宽的需求. 文献[3]同样利用 8 ×8行列转置寄存单元来提高数据的重用性,获得了好的性能,但耗费了比较大的片上存储空间. 目前针对 H. 264/AVC的环路滤波研究的比较多,文献[4-7]提出了多种实现方案. 文献[4]利用相邻 4 ×4块之间的数据

收稿日期: 2008-10-13

作者简介: 刘荣科 (1973-),男,陕西扶风人,副教授, rongke_liu@buaa.edu.cn.

依赖性,提高滤波器的数据吞吐能力.文献[5]通过宏块内滤波顺序优化以及片上存储空间的合理安排,提高滤波处理的速度.文献[6-7]分别通过改进滤波数据的缓冲以及调整片上存储空间,优化了去块效应滤波器的性能.通过对H.264环路滤波结构的分析,4×4块的处理相对于8×8块,在数据搬移、转置操作具有更快的处理速度,基于4×4块的存储也具有更大的灵活性.为了进一步提高AVS去块效应环路滤波器的性能,本文提出一种AVS硬件实现的专用环路滤波结构.可以采用与H.264相似的硬件结构,为了进一步缩短宏块滤波的时钟周期,将8×8块进一步划分,按照4×4块分割进行滤波运算.对于宏块内滤波顺序进行优化,将数据 、数据转置以及数据滤波的流水更合理地安排,提高数据的重用率,提高环路滤波运算速度;通过流水安排,在滤波运算的同时进行片外数据的读入工作,节省了存储器面积和硬件资源,利于AVS环路去块滤波的硬件实现.

1 AVS环路滤波算法

环路滤波在整个视频解码过程中位于重建之后,对每个解码完成的宏块按光栅扫描顺序进行滤波,图像边界不用滤波.由于预测和变换都是基于8×8块进行的,所以AVS只需滤波8×8块边界,图1所示为4:2:0图像格式的宏块滤波边界.对每个宏块,按照先垂直边界(从左到右)、后水平边界(从上到下),先亮度、后色度的顺序对最小尺寸的块边界进行滤波,图1所示为一个宏块中需要滤波的边界,图2中p_0,p_1,p_2和q_0,q_1,q_2为滤波边界两边的像素值.

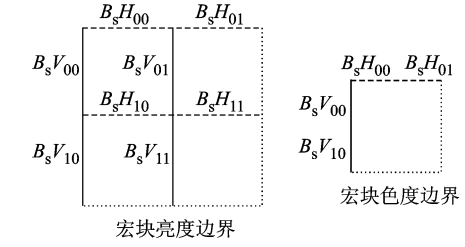


图1 宏块滤波边界

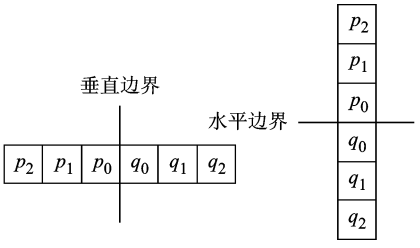


图2 宏块中需要滤波的边界

为了能更好地去除块效应,AVS采用自适应环路滤波,滤波的参数、滤波的模式都随边界两边的编码参数自适应地改变.AVS的自适应环路滤波包括以下几个部分.①计算边界的滤波强度.根据不同的滤波强度,选择不同的滤波器.滤波强度大小主要取决于边界两边块的编码特性.根据滤波强度的不同,AVS标准中提出两种滤波器:对于滤波强度相对小的边界采用线性滤波器,对于滤波强度相对大的边界,则针对不同的像素点分别采用3抽头、4抽头、5抽头的滤波器.称前者为标准滤波,后者为强滤波.不能对图像的所有边界一味地加以平滑,必须先分清图像的真实边界和虚假边界.对真实边界要加以保持,而对虚假边界进行平滑滤波.②计算边界阈值α和β.最后对滤波强度不为0的虚假边界进行平滑滤波.

AVS中对每个8×8块的边界有一个边界强度,记作B_s.B_s的取值可以为0,1或2,其中B_s等于0表示边界不作处理,B_s等于1和2表示边界都要进行滤波.B_s值的计算过程是:如果边界两边的8×8块有一个或都属于帧内预测宏块,那么B_s等于2;否则,如果满足以下两个条件(两个块的参考图像不同;两个块参考图像相同,但两个运动向量中任一组对应分量的差值大于一个整像素)中的任意一个,B_s等于1;否则B_s等于0.

图2表示块p和块q在水平或垂直边界两侧的6个像素点.如同时满足$B_s\neq 0$;$|p_0-q_0|<\alpha$;$|p_1-p_0|<\beta$;$|q_1-q_0|<\beta$这4个条件,则根据B_s的值选择不同的滤波处理方法对图2中边界两边的像素点进行滤波处理.其中α和β为块边界门限值.可以先利用两个块量化参数Q_1,Q_2的平均值Q_a和图像头中的索引偏移O_s通过式(1)计算索引I,再通过查找边界门限值与索引关系表得到.

$$I=\begin{cases}0 & Q_a+O_s<0\\ Q_a+Q_s & 0\le Q_a+O_s\le 63\\ 63 & Q_a+Q_s>63\end{cases} \tag{1}$$

其中

$$Q_a=\left[\frac{1}{2}(Q_1+Q_2)+0.5\right] \tag{2}$$

2 滤波结构

根据对AVS中环路滤波的算法描述,提高滤波速率、实现实时解码的关键在于如何减少与片外存储的数据交换,以及滤波数据的有效安排.为了解决上述两个问题,本文所提出的AVS的去块效应环路滤波结构如图3所示.

2.1 功能模块

控制模块:以一个有限状态机控制处理顺序,按照优化的滤波顺序控制整个去块效应滤波的数据处理过程.包括宏块参数信息的读取、滤波像素值的输入来源、滤波操作和滤波后数据处理等.

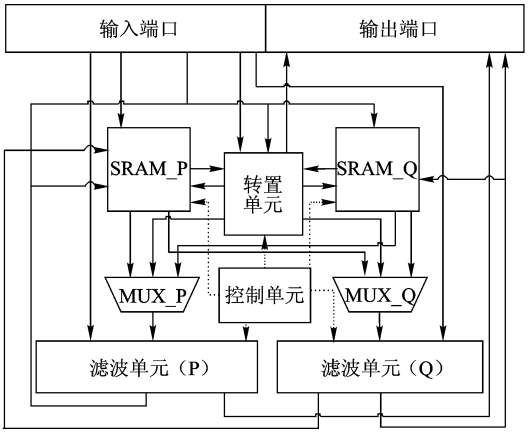


图 3　环路滤波结构

滤波单元:这是一个平行输入输出的一维滤波器,输入输出都为 2个 4像素 32 bit的像素行.根据参数及控制信息对输入的图像像素数据进行滤波计算. P表示边界左侧 4像素行,Q表示边界右侧 4像素行.通过和它相连的寄存器转置单元和控制单元的作用,水平边缘和垂直边缘滤波能够共用此滤波电路,节省了片上资源.

像素块寄存器: SRAM_P和 SRAM_Q是 2个 16 ×32 bit双端口 SRAM (Static Random Access Memory),负责存储当前宏块带滤波的数据.在滤波最开始时, SRAM_P储存左侧宏块最右边 4列像素点的数据,随着滤波的进行,不断地更新存储的数据. SRAM_Q负责存储边界滤波的中间数据,为后续的滤波、转置操作准备.

转置单元:转置单元是由 2个 4 ×4的转置寄存器构成 (图 4),负责将完成垂直边界滤波的数据转为等待水平边界滤波的数据.平行输入 4行水平 4个像素点的数据,输出为 4列平行的数据.

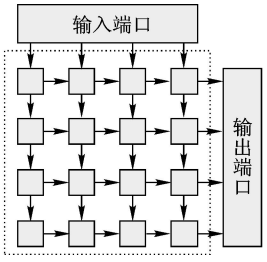


图 4　4 ×4转置寄存器

2.2 结构分析

AVS中规定滤波是按照光栅扫描的宏块次序来进行的,先亮度后色度,先垂直滤波从左到右,再水平滤波从上到下的顺序处理.根据这个原理,并参考相邻块之间的数据依赖性,在不影响滤波结果的前提下,重新安排滤波顺序,以提高数据的利用率,减少数据的搬移,修改后的边缘滤波顺序如图 5所示 (边界上的数字表示边界号).将 AVS标准中规定的 8 ×8块划分为更小的 4 ×4块处理,对滤波结果并没有影响,可以使得单个块转置和数据搬移用时更少.如图 5,优化之后的滤波顺序,更好地利用了相邻块之间的数据依赖性,将一个块的处理时间尽量集中在单位时钟内,在不增加片上存储空间的前提下,使滤波流水更加有效地进行.

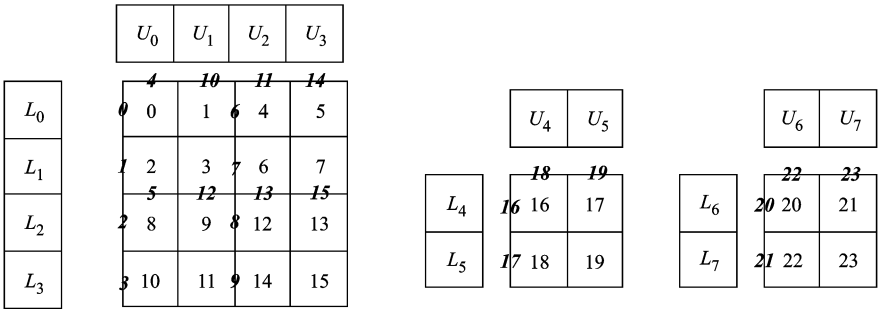


图 5　调整后的滤波顺序

优化滤波顺序之后,为了更好地保证残差解码和去块滤波流水,对于块 10, 11, 14, 15, 18, 19, 22, 23在完成本宏块滤波任务时,进行转置操作之后,再从输出端口输出,这样可以保证下个宏块滤波流水更有效地进行.

在片上存储的组织方面,采用 2个双端口 16 ×32 bit的 SRAM. SRAM_P存放左侧宏块待滤波数据,在当前宏块滤波开始前存放 L_0, L_1, L_2, L_3,随着边界滤波的进行,存储的块不断地更新,块 1, 3, 9, 11也作为后续边界滤波的左侧块数据也将陆续读入 SRAM_P. SRAM_Q用来存放当前宏块滤波的中间数据,作为滤波中间数据的缓冲区.逻辑滤波运算单元采用通用的单周期滤波运算结构,8样点平行输入,8样点平行输出,根据参数的不同,进行不同的滤波预算.滤波控制模块,主要用于计算滤波参数和控制滤波状态.通过合

理的流水设计,在滤波单元进行滤波的同时,读入后续将要滤波的数据,并对之间滤波的数据进行转置操作以及数据搬移,在提高环路滤波器处理速度的同时,减少了每个 4×4滤波块在滤波器内停留的时间,有利于进一步减少片上存储空间.

以边界 0为例说明垂直边界滤波的过程,边界 0的左右 4×4块分别为块 L_0 和 0,L_0 在滤波开始之前从外部 SDRAM 读入,存在 SRAM_P中.滤波开始,每个时钟从 SRAM_P读取一行 L_0 块的 4个像素点 32 bit的数据,同时通过输入端口从外部 SDRAM 读入一行 0块的 4个像素点 32 bit的数据,经过 4个时钟完成垂直边界 0的滤波,滤波后 L_0 块输出,0块读入转置单元,再经过 4个时钟完成转置,存入 SRAM_Q为边界 4滤波准备.在块 0进行转置运算的同时,滤波单元继续进行边界 1的滤波运算.水平边界滤波以边界 4为例说明,经过转置的块 0由 SRAM_Q读入,块 U_0 由输入端口从外部 SDRAM 读入,每个时钟共 8个像素点平行输入滤波器进行滤波.经过 4个时钟,滤波之后将 2个块输入转置单元进行转置操作和数据搬移,同时进行下一个水平边界的滤波.

无论垂直边界还是水平边界,每条边界进行滤波需要 4个时钟周期.对于一个宏块,去块效应滤波包括 1个亮度块,2个色度块,共 24条边界,进行滤波计算所需的时间共要 96个时钟.另外,数据的读写、转置以及搬移需要 100个时钟,所以,完成一个宏块滤波的时钟数需要 196个.

3 仿真结果和分析

对于本文所提出的结构,用 Verilog HDL语言进行 RTL(Register Transfer Level)级描述,用 AVS软件 RM52的 C程序产生测试码流,应用 Modelsim 6.0仿真平台进行逻辑功能的仿真验证.滤波前后的图像效果,在去块效应之后图像质量大大提高.仿真结果显示,处理一个宏块需要 196个时钟周期.表 1比较了本文提出的结构与几种环路滤波结构的性能.与文献[2-7]的环路滤波结构比较,本文结构提高了宏块处理速度,与现有 H.264滤波器[3-6]设计参数对比,本设计在片上存储大小和单宏块滤波时钟数上,都有很好的性能,是一种适合于 AVS硬件实现的设计结构.

表 2给出了在 100MHz时钟时,CIF,NTSC,720pHD,1080HD四种格式下,环路滤波器的处理能力.这表明本文提出的环路滤波结构能够有效支持标清和高清视频解码的实时滤波处理.

表 1 几种环路滤波器性能比较

设计结构	片上存储空间 /bit	处理单个宏块所需的时钟数
文献[2]	2个单口 SRAM 51×64 和 SRAM 41×64	460
文献[3]	单口 SRAM3840×24	293
文献[4]	双口 SRAM 64×32	446
文献[5]	双口 SRAM 92×32	214
文献[6]	2个单口 SRAM 96×32	250
文献[7]	双口 SRAM 96×32	238
本文结构	2个双口 SRAM 16×32	196

表 2 100MHz时钟时环路滤波器的处理能力

格式	宏块数 /(个·帧$^{-1}$)	处理能力 /(帧·s^{-1})
CIF	396	1288
NTSC	1350	377
720pHD	3600	141
1080HD	8160	62

4 结束语

本文提出一种 AVS专用的环路滤波结构.根据数据依赖关系合理安排滤波顺序,增加数据重用性,有效加快了滤波处理速度,减小了待滤波数据单元和中间数据存储单元,节省了芯片面积.垂直边界滤波后将数据转置,采用本地 SRAM存储用于后面的水平边界滤波,增加数据访问效率,减少带宽.实验表明,环路滤波具有很好的性能,且主观图像质量得到很好的提高,在 100MHz的频率下,能支持高清视频的实时解码.

参考文献 (References)

[1] GB/T 20090.2-2006,信息技术 先进音视频编码 第 2部分:视频[S]
GB/T 20090.2-2006, Information technology-advanced coding of audio and video-Part2: video[S](in Chinese)

[2] Sheng Bin, Gao Wen, Wu Di. A platform-based architecture of loop filter for AVS[C]// Int Conf Signal Process Proc. [S.l.]: IEEE Inc, 2004: 571-574

[3] 黄中华,支铮.基于 FPGA的 AVS环路滤波器设计与实现[J].计算机工程,2007,33(6):222-224
Huang Zhonghua, Zhi Zheng. Design and implementation of AVS loop filter based on FPGA[J]. Computer Engineering, 2007, 33(6): 222-224(in Chinese)

[4] Sheng Bin, Gao Wen, Wu Di. An implemented architecture of deblocking filter for H.264/AVC[C]// Proc Int Conf Image Process. [S.l.]: IEEE Computer Society, 2004: 665-668

[5] Shih Shenyu, Chang Chengru, Lin Younlong. A near optimal deblocking filter for H.264 advanced video coding[C]// Design Automation. [S.l.]: IEEE Inc, 2006: 170-175

[6] Liu Tsuming, Lee Wenping, Lin Tingan, et al. A memory-efficient deblocking filter for H.264/AVC video coding[C]// Circuits and Systems. [S.l.]: ISCAS, 2005: 2140-2143

[7] Zheng Guoqing, Yu Lu. An efficient architecture design for deblocking loop filter[C]// Picture Coding Symposium. [S.l.]: PCS-Tektronix Inc, 2004: 343-347

(编 辑:娄 嘉)