低压 NMOS 衬底偏置折叠级联输入 Gilbert 混频器

宋 丹 张晓林 夏温博

(北京航空航天大学 电子信息工程学院，北京 100191)

摘 要：利用衬底偏置技术和折叠级联输入的方法，采用 SMIC 0.18 μm CMOS 工艺，解决了在 0.8 V 电源电压下输入管和开关管的“堆叠”问题，实现了一种低压 N 沟道金属-氧化物-半导体场效应晶体管衬底偏置折叠级联输入 Gilbert 混频器，用于某双系统接收机. 以其中的 GPS(Global Position System)系统为例：射频信号、本振信号和中频信号分别为 1 575.42 MHz，1 570 MHz 和 5.42 MHz. 测试表明：该混频器变频增益超过 15.66 dB，双边带噪声系数为 16.5 dB，输入 1 dB 压缩点约为 −10 dBm，在 0.8 V 的电源电压条件下，消耗功率约为 1.07 mW. 该混频器功耗低、增益高、线性度好，可用于航空航天领域的电子系统.

关 键 词：双系统接收机；低电压；衬底偏置；折叠级联；混频器

中图分类号：TN 47

文献标识码：A **文 章 编 号**：1001-5965(2008)07-0844-05

Low voltage NMOS bulk-biased folded-cascode Gilbert mixer

Song Dan Zhang Xiaolin Xia Wenbo

(School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Abstract: By using the bulk-biased technology and folded-cascode approach, the problem of stacking input-and switching-transistors within 0.8 V supply voltage was solved. A low voltage N channel metal-oxide-semiconductor (NMOS) bulk-biased folded-cascode Gilbert mixer (BBFCM) was implemented in a SMIC 0.18 μm CMOS process. The mixer was used in some double-system receiver, which includes the global position system(GPS) system. In order to test the performance of the mixer, take the GPS signal for example: the frequency of the radio frequency (RF) signal, local oscillator (LO) and the intermediate frequency (IF) signal are 1 575.42 MHz, 1 570 MHz and 5.42 MHz, respectively. Measurement results show that the mixer features a conversion gain (G_c) of higher than 15.66dB, a dual sideband (DSB) noise figure of 16.5dB, an input 1dB compression point (P_{-1dB}) of approximate −10dBm, and consumes approximate 1.07 mW at a power supply voltage of 0.8 V. Although the mixer consumes very low power, it still provides reasonable gain as well as linearity. The mixer can be applied to the electronics system within the realm of the aviation aerospace.

Key words: double-system receiver; low voltage; bulk-biased; folded-cascode; mixer

混频器是通信机、便携式无线通讯设备等许多电子系统中的重要组成部分. 在军用以及航空航天领域的相关电子系统中，低功耗、低成本、高性能的射频混频器更是有着日益广泛的用途和举足轻重的地位.

随着便携式电子产品和深亚微米集成电路技术的迅猛发展，集成电路的电源电压越来越低，低压低耗已成为集成电路设计工业的重要发展方向. 首先，随着集成电路制造工艺的长足进步，制造工艺尺寸不断减小，芯片上单位面积内管子数目持续增加，集成电路的功耗问题已不可避免地凸现出来——如何解决芯片单位面积上功耗过大

收稿日期：2007-06-20

基金项目：国防科工委民用航天专项基金资助项目

作者简介：宋 丹(1983−)，女，辽宁沈阳人，博士生，buaasd@ee.buaa.edu.cn.

及其导致的散热问题,如何使系统在低压低耗下稳定工作,已成为深亚微米级集成电路亟待解决的问题;同时,随着晶体管特征尺寸和栅氧层厚度的不断减小,仅需较低的电压就可保证电子器件的正常工作,1.8 V(0.18 μm)电源电压现已基本被广泛应用,1.2 V(0.13 μm)和 0.9 V(90 nm)的电源电压也已陆续被应用于电子器件以及片上系统的设计与生产;另外,对于军用以及航空航天等领域中的便携式电子设备,也需要低功耗电路来延长电池的使用寿命[1],以保证系统在较长时间内可以正常稳定地工作.

通过降低系统的电源电压来降低系统功耗的办法,是一种最为直接有效的办法;但是对于标准 CMOS(Complementary Metal-Oxide-Semiconductor)工艺,阈值电压并不会随着电源电压的降低而有明显的下降[2],即阈值电压会限制系统功耗的降低.另外,改进电路结构也利于降低电源电压.本文从电路结构及制造工艺两方面出发,设计了一种低压 NMOS 衬底偏置折叠级联输入混频器(BBFCM,Bulk-Biased Folded-Cascode Gilbert Mixer),实现了混频器的低压低耗设计.

1　电路结构

传统的 Gilbert 混频器电路结构如图 1 所示.

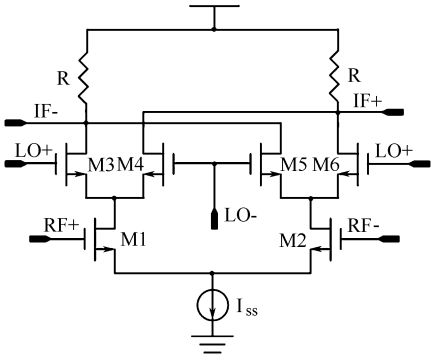


图 1　传统 Gilbert 混频器

在图 1 中,射频信号(RF,Radio Frequency)输入对管和本振信号(LO,Local Oscillator)输入的开关管"堆叠"于电源和地之间,使得混频器的线性范围大大缩小.若维持一定的线性范围,则需提供较大的电源电压.因此,传统的 Gilbert 混频器严重限制了电源电压的降低,不利于低功耗设计.而改进后的折叠级联输入混频器,在电源和地之间只有一级 MOS 管,仅需较小的电压即可满足要求.改进后的折叠级联输入混频器如图 2 所示.

转换增益和线性度是混频器的两个最重要的指标.较大的 g_m 既有利于得到较大的转换增益

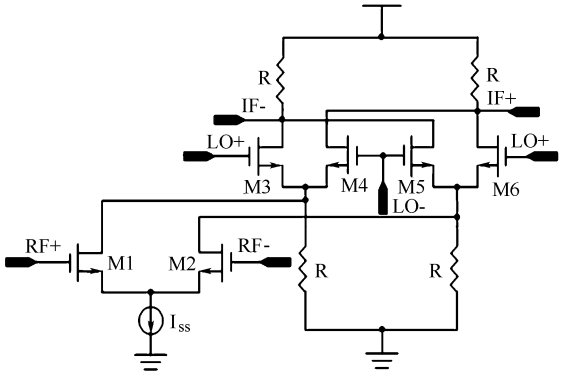


图 2　折叠输入 Gilbert 混频器

(G_c),也有利于提高混频器的线性度.如下式:

$$g_m = 2\sqrt{\frac{1}{2}\mu_n C_{OX}\frac{W}{L}(1+\lambda V_{DS})I_D} \quad (1)$$

式中,μ_n,C_{OX} 和 λ 均为常量,源漏电压 V_{DS} 为定值时,可通过增大工艺参数 W/L 和工作电流 I_D 来增大 g_m.结合图 1 可知,适当增大 M1,M2 的 W/L 和栅极偏置电压可提高跨导 g_m.

低中频混频器的闪烁噪声可等效为在开关管 M3～M6 栅极处的电压源,该电压源具有一个恒定的均方根值 V_n[3-4],输出的闪烁噪声可被简化建模为[4-5]

$$i_{on}(f) = \frac{4I}{ST}\times V_n(f) = \frac{1}{\pi}\times\frac{I_{ss}}{A}\times V_n(f) \quad (2)$$

式中,I_{ss} 是开关管 M3～M6 的总偏置电流,S 是 LO 信号过零点处的斜率,T 和 A 分别是 LO 信号的周期和幅度.从上式中可见,混频器的闪烁噪声主要取决于 M3～M6 的总偏置电流——总偏置电流越大,闪烁噪声越大.为了减小闪烁噪声,可通过适当降低栅极偏置电压来降低总偏置电流.

但在传统的 Gilbert 电路中,"堆叠"结构使得各工作点之间相互制约;使得混频器的转换增益、线性度、噪声性能以及功耗之间的优化设计(trade-off)变得困难,增大了电路整体设计的难度;而在改进后的折叠级联输入混频器中,采用"折叠"方式连接,各偏置电流间可相对独立地调整,工作点间的影响大大降低,降低了电路设计的难度.

此外,LO 信号的大小与混频器的变频增益间存在着密切的联系——只有 LO 信号足够强时,开关管才能起到有效的频率转换作用[6].适当增大 LO 信号功率可得到最佳的变频增益.但较强的 LO 信号对 RF 信号会形成较大干扰——采用折叠级联输入易于在版图上实现 LO 信号和 RF 信号间的隔离.

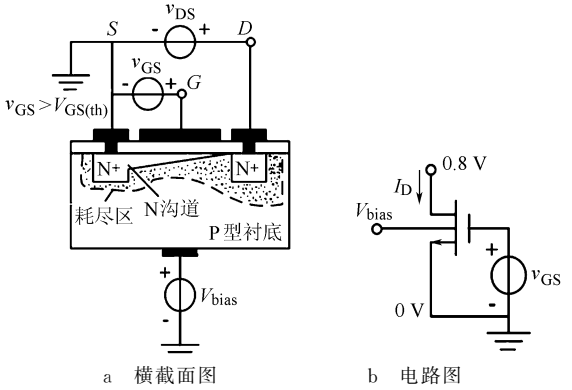
2 衬底偏置

目前,降低阈值电压通常采用浮栅技术和衬底驱动技术.浮栅技术中制作浮栅的工艺较为复杂,传统工艺下无法实现,会提高电路成本;浮栅技术的输出阻抗较低,通常只能实现低增益的电路结构.因此,浮栅技术在低压下的应用受到限制[7].

衬底驱动技术可和现有工艺兼容,可避开信号通路上阈值电压的限制,可用小衬源电压来调整沟道电流,可用于低压设计.但衬底驱动管的跨导小,等效输入噪声大,可用于衬底驱动的MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)与工艺有关[8-9].

本设计中采用基于衬底偏置的MOSFET.已有研究结果表明,在衬底正偏置时,NMOS和PMOS器件工作在弱反型区,二者噪声都会受到明显的抑制[10].与栅驱动MOSFET相比,降低了电源电压,实现了低压低耗设计;提高了电路跨导,增大了变频增益;降低了电路噪声,提高了线性度.与衬底驱动技术相比,衬底偏置技术在跨导和噪声方面有较大优势;而且,衬底偏置技术与标准CMOS工艺完全兼容.本设计中只使用NMOS管,因此,理论上不存在闩锁效应[2].

如图3所示,对于NMOS管,通常有$v_{BS}<0$.原本在$v_{BS}=0$时,栅源电压v_{GS}和阈值电压$V_{GS(th)}$满足$v_{GS}=V_{GS(th)}$就可形成导电沟道,而在$v_{BS}<0$时,$v_{GS}>V_{GS(th)}$才可能形成导电沟道,相当于阈值电压$V_{GS(th)}$变大;当NMOS管的衬底端加上正偏置电压V_{bias}时,$|v_{BS}|$减小,相当于减小了阈值电压$V_{GS(th)}$,从而达到减小电源电压,降低系统功耗的目的.



a 横截面图 b 电路图

图3 衬底偏置的NMOS横截面图和电路图

与栅极驱动NMOS的漏极电流表达式类似,可推导出衬底偏置NMOS的漏极电流表达式[8,11]:

$$I_D=\beta_n\left[(v_{GS}-V_{GS(th)})v_{GS}-\frac{1}{2}v_{DS}^2\right]$$

$$v_{GS}>V_{GS(th)} \qquad v_{DS}<(v_{GS}-V_{GS(th)})/n \tag{3}$$

$$I_D=\frac{1}{2n}\beta_n(v_{GS}-V_{GS(th)})^2(1+\lambda v_{DS})$$

$$V_{GS}>V_{GS(th)} \qquad v_{DS}>(v_{GS}-V_{GS(th)})/n \tag{4}$$

其中

$$n=1+\frac{C_{BC}}{C_{OX}}+\frac{q\rho_{NFS}}{C_{OX}}=1+\frac{\gamma}{2\sqrt{\phi_j-v_{BS}}} \tag{5}$$

$$V_{GS(th)}=V_{T0}+\gamma(\sqrt{|2\phi_F-v_{BS}|}-\sqrt{|2\phi_F|}) \tag{6}$$

γ为体效应系数,约为$0.5V^{\frac{1}{2}}$;ρ_{NFS}为表面快态密度.综合式(6),式(4)可化为

$$I_D=\frac{1}{2n}\beta_n[v_{GS}-V_{T0}-\gamma(\sqrt{|2\phi_F-v_{BS}|}-\sqrt{|2\phi_F|})]^2(1+\lambda v_{DS})$$

$$v_{GS}>V_{GS(th)} \qquad v_{DS}>(v_{GS}-V_{GS(th)})/n \tag{7}$$

其饱和时的跨导为

$$g_{mbias}=\sqrt{2\mu_n C_{OX}\frac{W}{L}I_D}=\frac{2I_D}{v_{GS}-V_{TB}} \tag{8}$$

其中

$$V_{TB}=V_{T0}+\gamma(\sqrt{|2\phi_F-v_{BS}|}-\sqrt{|2\phi_F|}) \tag{9}$$

为衬底偏置调制后的阈值电压(v_{BS}为常数).

对于传统的栅驱动,其饱和时的跨导为

$$g_m=\frac{2I_D}{v_{GS}} \tag{10}$$

由式(8)、式(10)可看出,MOSFET饱和时,衬底偏置的跨导g_{mbias}大于传统的栅驱动的跨导g_m,且可通过减小v_{BS}减小阈值电压V_{TB}.

为验证衬底偏置MOSFET的低压特性,对衬底偏置NMOS管的跨导进行了仿真,原理见图3,并同标准CMOS工艺下普通栅驱动($V_{bias}=0$)NMOS进行了比较.

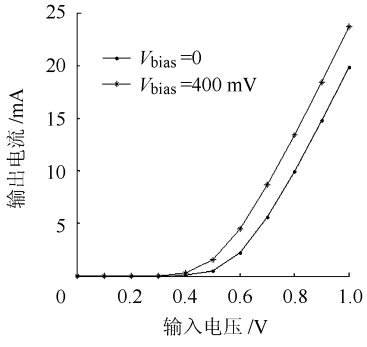
下面是仿真结果:图4a是当电源电压$V_{dd}=0.8$ V,$V_{bias}=400$ mV时的跨导特性曲线;图4b是阈值电压$V_{GS(th)}$随衬底偏置电压V_{bias}变化的特性曲线.仿真结果表明,衬底偏置电压V_{bias}能够有效地降低NMOS管的阈值电压,印证了前文理论推导的正确性.

由上述结果可得NMOS阈值电压$V_{GS(th)}$随衬底偏置电压V_{bias}的变化量如表1所示.

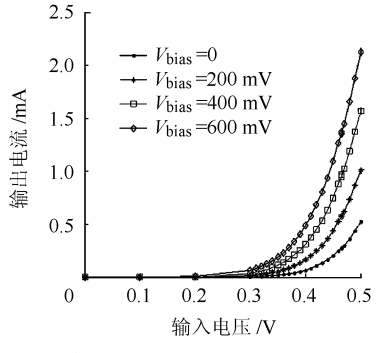
表1 $V_{GS(th)}$随V_{bias}的变化量

V_{bias}/mV	NMOS阈值电压减小/mV
0	0

200	40
400	72
600	96



a　V_{bias} = 400 mV

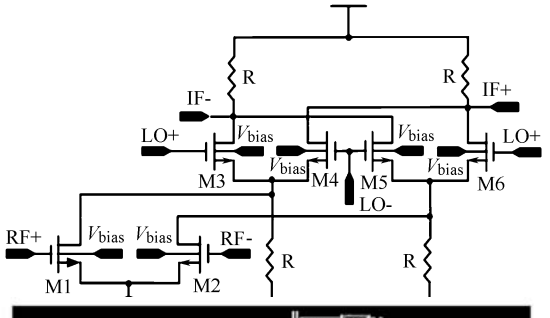


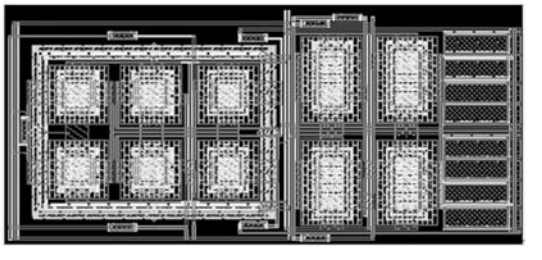
b　阈值电压 $V_{GS(th)}$ 随衬底偏置电压 V_{bias} 变化

图 4　衬底偏置 NMOS 的跨导特性

3　仿真测试

文中设计的 BBFCM 核心电路图及其对应版图如图 5a、图 5b 所示,其电源电压 V_{dd} = 0.8 V,所有 NMOS 的衬底端都接一个固定偏置电压 V_{bias},以调节阈值电压. RF 信号输入级 M1 和 M2 采用传统的差分对输入,不同之处只在于衬底处加了





b　BBFCM 核心电路版图

图 5　BBFCM 核心电路图及其版图

固定衬底偏置电压 V_{bias},从而使得阈值电压减小. 通过反复实验验证,当 $V_{bias}\approx$400 mV 时,该电路能够获得较为理想的性能.

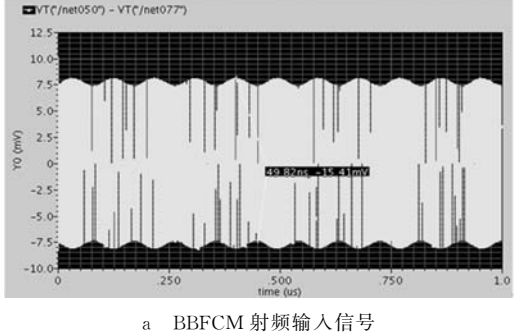
由于 RF 输入差分对管 M1 和 M2 的噪声性能对整个电路系统的噪声性能影响很大,因此,本文通过增大差分输入对管 M1 和 M2 的沟道长和宽来减小其引入的噪声;且在电路的后端版图设计中采用了交叉空铅技术(cross-quading)[12],见图 5.

文中采用 SMIC 0.18 μm CMOS 工艺射频库模型,联合使用 SpectreRF 仿真器以及 ADS2006A 仿真软件对 BBFCM 进行了仿真测试,在电源电压 V_{dd} = 0.8 V,V_{bias} = 400 mV 的条件下,可得该混频器的主要性能参数如表 2 所示.

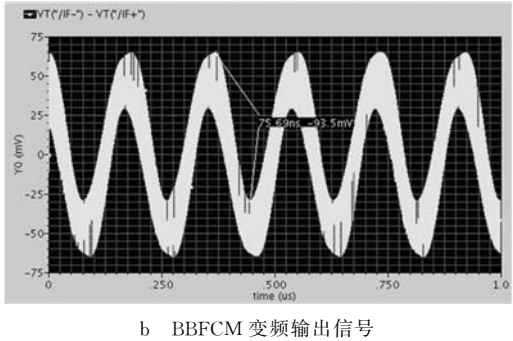
表 2　BBFCM 部分性能参数

混频器	性能参数
电源电压/V	0.8
电流消耗/mA	1.34
功率消耗/mW	1.07
射频频率/MHz	1575.42
本振频率/MHz	1570
中频频率/MHz	5.42
射频功率/dBm	−80
本振功率/dBm	−7
变频增益/dB	15.66
DSB 噪声系数/dB	16.5
输入 1 dB 压缩点/dBm	−10

在射频输入端加入匹配网络的情况下,差分输入功率为−80 dBm、频率为 1575.42 MHz 的射频信号,测量 BBFCM 的变频增益. 如图 6a、图 6b



a　BBFCM 射频输入信号



b　BBFCM 变频输出信号

图 6　BBFCM 的变频输出信号

所示，分别为其射频输入信号和变频输出信号，从图6中可测出其变频增益超过15.66 dB.

图7所示为BBFCM的输入1 dB压缩点($P_{-1\,dB}$)仿真测量曲线.图中理想曲线为处于线性范围内的测量点的拟合曲线，当测试结果曲线的变频增益与拟合曲线相比下降1 dB时，对应的横轴射频输入功率值即为混频器的输入1 dB压缩点.从图7中可测出其输入1 dB压缩点约为−10 dBm.

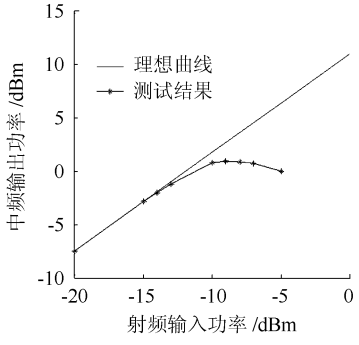


图7 BBFCM的输入1 dB压缩点($P_{-1\,dB}$)

4 结束语

本文综合利用衬底偏置技术和折叠级联输入的方法，采用SMIC 0.18μm CMOS射频工艺，设计出一种低压NMOS衬底偏置折叠级联输入Gilbert混频器(BBFCM)，用于某双系统接收机.该混频器具有良好的变频增益、线性度和低压低功耗的特点，可用于军用以及航空航天领域中的相关电子系统.

参考文献(References)

[1] Arvind Kumar, Sandip Tiwari. A power-performance adaptive low voltage analog circuit design using independently controlled double gate CMOS technology [C]//Proceedings of the 2004 International Symposium on Circuits and Systems. Vancouver: the Institute of Electrical and Electronics Engineers, Inc, 2004: 197−200

[2] Blalock Benjamin J, Phillip E Allen. Designing 1-V Op amps using standard digital CMOS technology[J]. IEEE Transactions on Circuits and System, II: Analog and Digital Signal Processing, 1998, 45(7): 769−799

[3] Razavi B. Design of analog CMOS integrated circuits [M]. Singapore: McGraw-Hill, 2001

[4] Chu Fangqing, Li Wei, Su Yanfeng, et al. An implementation of a CMOS down-conversion mixer for GSM1900 receivers [J]. Chinese Journal of Semiconductors, 2006, 27(3): 467−472

[5] Melly T, Porret A S, Enz C C, et al. An analysis of flicker noise rejection in low-power and low-voltage CMOS mixers [J]. IEEE Journal of Solid-State Circuits, 2001, 36 (1): 102

[6] 崔福良，黄林，马德群，等. 2.4GHz 0.35um CMOS Gilbert下变频器[J]. 半导体学报，2005，26(5)：1045−1048
Cui Fuliang, Huang Lin, Ma Dequn, et al. 2.4GHz 0.35um CMOS Gilbert down-conversion mixer [J]. Chinese Journal of Semiconductors, 2005, 26(5): 1045−1048(in Chinese)

[7] 尹韬，朱樟明，杨银堂，等. 衬底驱动MOSFET特性分析及超低压运算放大器设计 [J]. 半导体学报，2005，26(1)：158−162
Yin Tao, Zhu Zhangming, Yang Yintang, et al. Analysis of bulk-driven MOSFET and design of ultra-low voltage operational amplifier [J]. Chinese Journal of Semiconductors, 2005, 26(1): 158−162(in Chinese)

[8] 张海军，杨银堂，朱樟明，等. 一种基于衬底偏置的超低压CMOS运算放大器 [J]. 电路与系统学报，2006，11(1)：12−15
Zhang Haijun, Yang Yintang, Zhu Zhangming, et al. A novel ultra-low voltage CMOS op-amp based on bulk-biased MOSFET [J]. Journal of Circuits and Systems, 2006, 11(1): 12−15(in Chinese)

[9] Ivanov V, Zhou J, Filanovsky I M. A 100 dB CMRR CMOS operational amplifier with single-supply capability [J]. IEEE Transactions on Circuits and System, II: Analog and Digital Signal Processing, 2007, 54(5): 397−401

[10] Marin M, Deen M J, de Murcia M, et al. Effects of body biasing on the low frequency noise of MOSFETs from a 130 nm CMOS technology circuits [C]//IEE Proceedings Circuits, Devices & Systems. Stevenage: IET Michael Faraday House, 2004, 151: 95−101

[11] Blalock Benjamin J, Allen Phillip E. Low-voltage, bulk-driven MOSFET current mirror for CMOS technology [C]//IEEE International Symposium on Circuits and Systems. Seattle: the Institute of Electrical and Electronics Engineers, Inc, 1995, 3: 1972−1975

[12] Long Di, Hon Xianlong, Dong Sheqin. Optimal two-dimension common centroid layout generation for MOS transistors unit-circuit[C]//IEEE International Symposium on Circuits and Systems. Kobe: the Institute of Electrical and Electronics Engineers, Inc, 2005, 3: 2999−3002

(责任编辑：娄 嘉)