# 一种高动态直扩接收机快速码捕获方法

徐 峰 邵定蓉 李署坚

(北京航空航天大学 电子信息工程学院, 北京 100083)

**摘 要**: 对于工作在高动态环境下的扩频接收机,在基于数字匹配滤波器的基础上,提出了一种高折叠倍数匹配滤波器和FFT相结合的捕获方法,将传统的基于信号载波频率和码相位的二维搜索过程变为基于码相位的一维搜索过程. 给出了32折叠匹配滤波器在FPGA中的实现框架,通过对折叠倍数和占用系统资源的关系的仿真,可以看出,折叠倍数越大,占用系统资源越少. 当输入信号的信噪比在−20 dB时,比传统采用二维搜索捕获方法的捕获速度有很大的提高. 由于该方法具有捕获速度快和占用系统资源少的特点,经实际验证适用于高动态环境下的快速码捕获.

**关 键 词**: 接收机;快速傅里叶变换;现场可编程门阵列

**中图分类号**: TN 911.7

**文献标识码**: A **文 章 编 号**: 1001-5965(2007)06-0672-05

## Fast PN code acquisition for DSSS receiver in high dynamic situation

Xu Feng Shao Dingrong Li Shujian

(School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100083, China)

**Abstract**: For direct sequence spectrum system (DSSS) receiver in high dynamic situation, a fast PN code acquisition method was proposed. The acquisition method based on high-folded digital matched filter (DMF) and FFT is able to convert the traditional two-dimensional search method to one-dimensional search. The realization frame of 32-folder DMF in FPGA was put forward. The simulation focused on the folder multiple and system resource shows that the larger the folder multiple is, the lesser the system resource costs. When the input signal SNR is −20 dB, the acquisition speed of this method is much faster than the traditional methods. This method has good characteristics of fast acquisition and system resource expended lower. Practical engineering verification shows that it can be used in high dynamic situation.

**Key words**: receiver; fast Fourier transforms (FFT); field programmable gate arrays (FPGA)

扩频接收机在高动态环境下,使得接收机接收信号的载波附加上很大的多普勒频率偏移量(可高达几十千赫兹)[1]. 为了从高动态扩频信号中解调出有用信息,必须首先准确且快速地完成扩频信号载波频率和伪码相位的捕获. 因此,高动态扩频信号的捕获实际上是对接收信号载波频率和伪码相位的一个二维搜索过程. 载波捕获的目的是使本地信号载波频率与接收信号载波频率之差在载波环路滤波器的牵引范围之内,而伪码捕获的目的就是使本地信号伪码相位与接收信号伪码相位之差小于一个码片.

扩频码序列的成功快速捕获是衡量一个PN码捕获算法或搜索策略性能的重要指标[2]. 影响捕获速度的两个重要因素是:伪码相位的捕获速度和对载波多普勒频率的捕获速度. 传统的串行PN码序列捕获算法很难满足码相位快速捕获的要求. 用普通的匹配滤波器捕获速度很快,但是占用系统资源太大. 传统的对载波频率的捕获一般通过锁相环(PLL)和锁频环(FLL),当载波多普勒很大时,搜索的频点数将会增多,同时捕获的时

**收稿日期**: 2006-08-10

**作者简介**: 徐 峰(1975−),男,河南洛阳人,博士生,xufeng.ee@gmail.com.

间也会增长.首先本文提出的高折叠倍数的匹配滤波器极大地降低了对系统资源的占用,同时可以快速地捕获码相位;其次本文采用 FFT 的方法可以快速对载波多普勒的频点进行估计,从而大大缩短整个系统在高动态下的捕获时间.

## 1　快速捕获原理

采用折叠匹配滤波器和 FFT 实现快速捕获的工作原理框图如图 1 所示.

从天线接收到的信号经过低噪放大、下变频后产生中频信号,经过 A/D 采样送入 FPGA (Field Programmable Gate Arrays)进行处理.在 FPGA 内部,首先完成数字下变频,经过低通滤波器,在折叠匹配滤波器内与本地伪码相乘,然后将相关累加的结果送入数据处理缓存器,当缓存数据达到 FFT 分析点数后,送入 FFT 模块进行 FFT 频谱分析,并将分析的频点反馈给载波 NCO,同时折叠匹配滤波器将相关累加值送入判决器进行判决,将会在一个伪码周期内输出一个最大相关峰值.A/D 采样后的信号可以表示为

$$S_k = AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \cos[2\pi(f_c - f_0)t_k - \phi_0] + n_k \tag{1}$$

其中,$S_k$为采样时刻 $t_k$ 的采样值;常数 $A$ 为信号的幅度;$D(t_k)$为调制数据;$P(t_k)$为伪码;$t_s$为伪随机码起始时刻;$\eta$ 为由于多普勒效应引起的伪码速率抖动量与发射伪码速率的比值;$f_c$为标称中心频率;$f_0$为载波多普勒频偏;$n_k$为采样时刻 $t_k$ 的噪声;$\phi_0$ 为载波初始相位.忽略电离层的影响,$\eta = v/c = f_0/f_r$,$v$ 为发射机与接收机的径向相对速度;$c$ 为光速;$f_r$为发射信号射频频率[3].

快速捕获时,信号 $S_k$进入数字下变频器与本地载波(中心频率为 $f_c$)进行混频,如下式:

$$I = S_k \cdot \cos(2\pi f_c t_k) = \{AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \cos[2\pi(f_c - f_0)t_k - \phi_0] + n_k\} \cdot \cos(2\pi f_c t_k) \tag{2}$$

$$Q = S_k \cdot \sin(2\pi f_c t_k) = \{AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \cos[2\pi(f_c - f_0)t_k - \phi_0] + n_k\} \cdot \sin(2\pi f_c t_k) \tag{3}$$

由上式可知,混频后的信号中含有高频分量和低频分量,频率分别为 $2f_c - f_0$和 $f_0$.$I$,$Q$ 信号经过低通滤波器后,高频分量被滤除,得到近似零中频信号如下式:

$$I = AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \cos(2\pi f_0 t_k - \phi_0) \tag{4}$$

$$Q = AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \sin(2\pi f_0 t_k - \phi_0) \tag{5}$$

假定本地伪码为 $\hat{P}[(1+\mu)(t_k - \hat{t_s})]$,$\hat{t_s}$ 为本地伪码起始时刻,$\mu$ 为本地伪码码速率偏移量与标称伪码速率的比值.当 $I$,$Q$信号进入折叠匹配滤波器后,与本地码滑动进行相关累加运算,得到 $I$,$Q$ 两路的相关值为

$$I = \sum_{k=0}^{P-1} AD(t_k)P[(1+\eta)(t_k - t_s)] \cdot \hat{P}[(1+\mu)(t_k - \hat{t_s})]\cos(2\pi f_0 t_k - \phi_0) \tag{6}$$

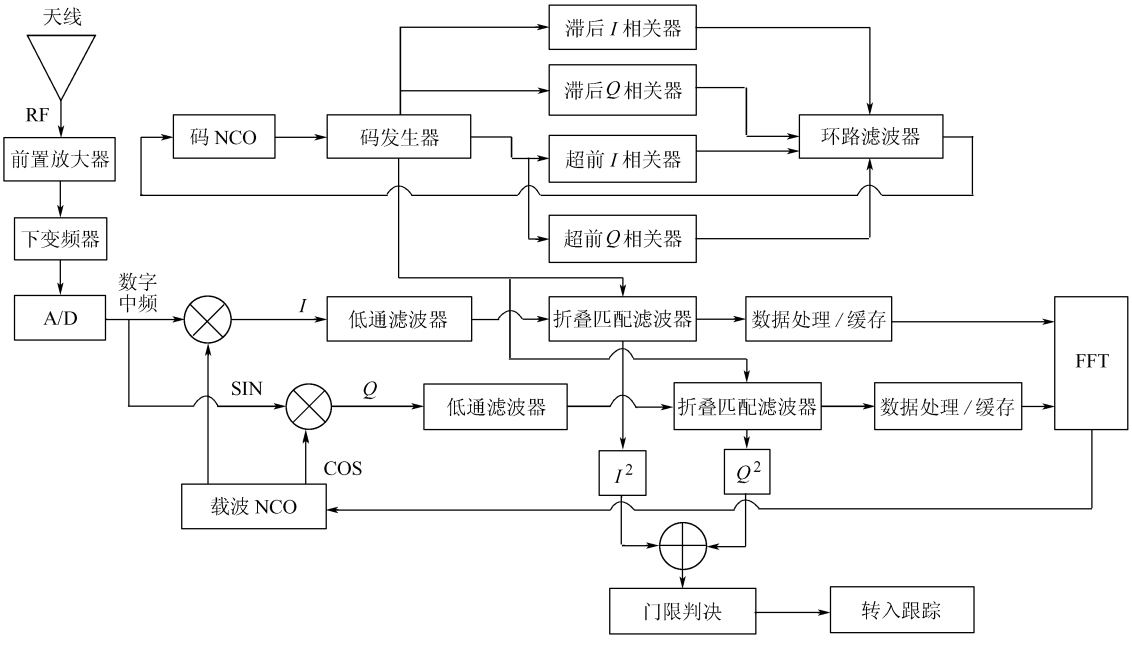


图 1　快速捕获工作原理图

$$Q=\sum_{k=0}^{P-1}AD(t_k)P[(1+\eta)(t_k-t_s)]\cdot$$
$$\hat{P}[(1+\mu)(t_k-\hat{t_s})]\sin(2\pi f_0 t_k-\phi_0) \quad (7)$$

上述公式经化简得

$$I\approx A'D(t_i)R_P(\tau_i)\cos(2\pi f_0 t_i-\phi_0) \quad (8)$$
$$Q\approx A'D(t_i)R_P(\tau_i)\sin(2\pi f_0 t_i-\phi_0) \quad (9)$$

其中，$P$ 为采样点数；$A'$ 为信号的幅值；$R_P(\tau_i)$ 为伪码相关运算结果；$t_i$ 为输出时刻.

然后对信号 $Z=I+\mathrm{j}Q$ 进行 $N$ 点复数 FFT 分析，当本地伪码与接收信号的伪码不同步时，本地伪码对接收扩频信号进一步扩展频谱，FFT 分析频谱是信道噪声频谱与扩展信号频谱的叠加，整个分析范围内的频谱密度都会很低；当本地伪码与接收信号的伪码基本同步时，本地伪码与接收信号的伪码出现相关峰，信号 $Z$ 的频谱是频率 $f_0$ 的正弦信号的频谱与调制数据频谱的卷积. 由于频率为 $f_0$ 的正弦信号的频谱是 $f_0$ 处的冲击函数，而调制数据的频谱在零点附近，所以信号 $Z$ 的频谱在 $f_0$ 附近，于是在进行 FFT 分析时会在 $f_0$ 附近出现较大的频谱密度，将其与门限进行比较，可以判断载波多普勒 $f_0$ 的位置，并将其反馈给载波 NCO；同时折叠匹配滤波器将在一个伪码周期内输出一个最大相关峰值，通过与门限比较，判断出伪码捕获相位，从而快速地完成了对扩频信号的二维捕获[4].

## 2 折叠匹配滤波器的设计与实现

匹配滤波器实际上是一个常系数的 FIR 滤波器，输入为 $x(n)$，抽头系数为 $h(n)$，滤波器的输出为

$$y(n)=\sum x(n-k)h(k) \quad (10)$$

本文采用倒置型滤波器来实现，然而对于伪码较长的情况下倒置型匹配滤波器所需电路规模仍过于庞大，不能满足系统需要. 折叠匹配滤波器就是针对倒置型匹配滤波器资源消耗太大的特点提出的一种改进的倒置型匹配滤波器[5]. 由公式(10)可推知

$$y(n)=\sum_{k=0}^{L-1}x(n-k)h(k)=$$
$$\left(\cdots\left(\left(\left(\sum_{k=0}^{N-1}x(n-k)h(k)\right)+\sum_{k=N}^{2N-1}x(n-k)h(k)\right)+\sum_{k=2N}^{3N-1}x(n-k)h(k)\right)+\cdots\right)+\sum_{k=(M-1)N}^{L-1}x(n-k)h(k) \quad (11)$$

其中 $L=N\times M$，$M$ 为折叠次数，$L$ 为码长.

### 2.1 匹配滤波器的结构设计

本文以 32 折叠匹配滤波器为例进行分析，如图 2 所示. 用 32 抽头滤波器实现 1 024 码长、2 倍过采样、32 折叠匹配滤波器. 图中可以看出折叠匹配滤波器主要由 ROM、加法器、延时单元和反馈逻辑组成，它们在匹配滤波器工作时钟(64 MHz)的驱动下工作. 每个抽头连接一个深度为 32、宽度为 1 bit 的 ROM，存入本地伪码；每个延时单元由 63 个移位寄存器组成，与前面的加法器一起构成 64 个移位寄存器，输入采样数据宽度为 8 bit，采样速率为 2 MHz(码速率为 1 MHz)，每出现一个采样数据系统进行 32 轮运算. 其工作过程如下：采样数据到来后，第 1 个系统时钟周期，由 Code0，1，2，…，31 送出 DMF(Digital Matched Filter)的抽头系数，在 Code0 加法器中注入 0，各

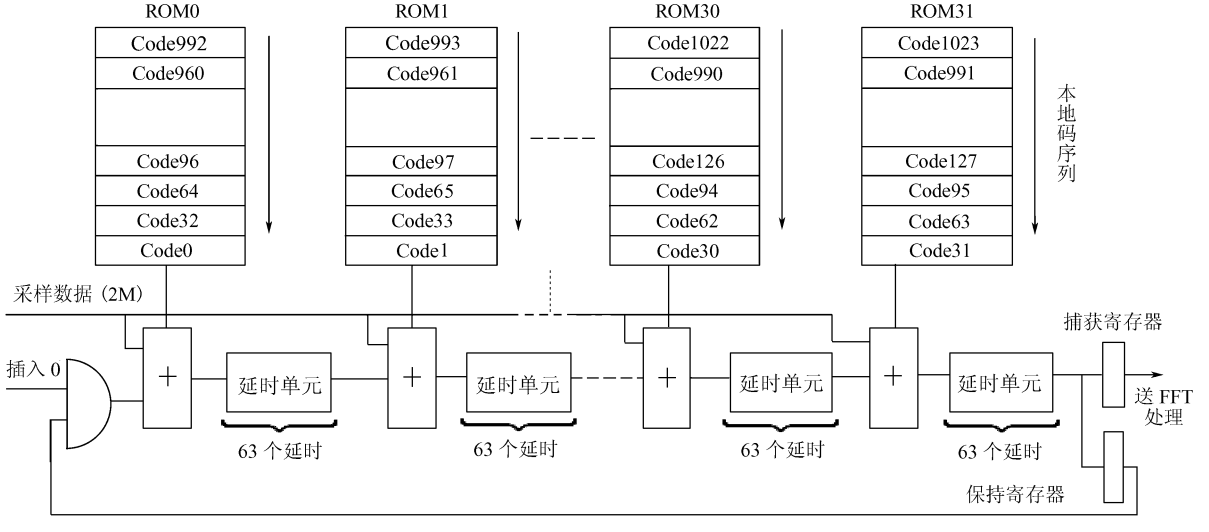


图 2 32 折叠匹配滤波器结构图

级同时进行相加移运算,第 32 个延时单元中的最后一个移位寄存器数据送入保持寄存器中;第 2 个时钟周期,由 Code32,33,34,…,63 送出 DMF 的抽头系数,第 1 个加法器的前级输入来自保持寄存器,各级同时进行相加移位运算,第 128 个延时单元中的最末一个移位寄存器数据送入保持寄存器中.第 3,4,5,6…32 个时钟周期的情况与前面情况相似.直到第 32 个时钟周期结束时,第 32 个加法器的结果被送入捕获寄存器中,捕获寄存器中的值就是滤波器输出.下一个采样数据出现后重复上述过程.

### 2.2　匹配滤波器的仿真

根据图 2 所示结构,本文采用 Xilinx 公司的 FPGA 芯片 XC2V2000 实现,图 3 是采用 Xilinx 公司的 ISE7.1 软件进行 VHDL 编程,用 Modelsim 6.0软件进行时序仿真后得到的仿真波形图.sysclk 为匹配滤波器模块的工作时钟(64 MHz),sysrst 为系统复位信号,indata 为输入采样信号,valueout 为捕获寄存器值.从图中可以看出,每个伪码周期捕获寄存器都会输出一个最大相关峰值 1024.

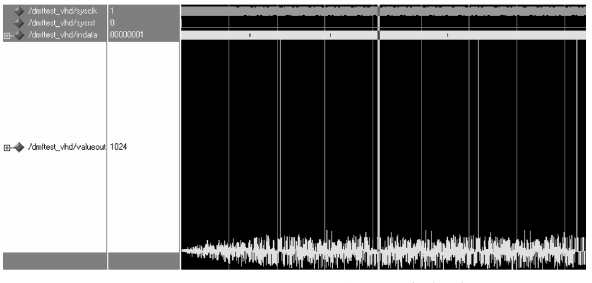


图 3　32 折叠匹配滤波器时序仿真

## 3　折叠匹配滤波器的性能分析

匹配滤波器的捕获速度和其占用的系统资源一直是研究的热点问题,本文从这两个方面进行分析.假定系统的伪码速率为 1 MHz/s,码长为 1024,SNR 为 −20 dB,由系统的相对运动引起的载波多普勒频率偏移为 30 kHz.

### 3.1　捕获时间

对伪码的捕获是一个对码相位和载波频率的二维搜索过程.因此对码相位和载波频率采用不同的搜索方法从而形成了不同的捕获策略,同时其捕获时间也不同.若对码相位的搜索采用传统的串行滑动相关,对频率也采用串行搜索.如果码相位每次滑动半码片,频率的步进量为 500 Hz,则一次遍历整个码相位域需要2048个伪码周期,总共要在 61 个频点上搜索,完成一次捕获需要的最大时间为

$$T_{\max}=10^{-6}\times 1\,024\times 2\,048\times 61=127.926(\mathrm{s}) \tag{12}$$

若对码相位的搜索采用匹配滤波器,对频率采用串行搜索.如果码相位每次滑动半码片,频率的步进量为 500 Hz,每搜索一个频点至少需要 1 个伪码周期的初始灌入时间和 1 个伪码周期的伪码搜索时间,共 2 个伪码周期.系统中最多要搜索 61 个频点.所以,不考虑漏捕及其它情况,每次搜索完所有伪码相位和多普勒频移至少需要 122 个伪码周期,再加上连续三次捕获验证,完成捕获的时间为 125 个伪码周期.在进一步优化阈值的情况下,考虑漏警,要可靠地完成捕获只需 125×(1～2)=125～250(伪码周期),完成一次捕获需要的最大时间为

$$T_{\max}=10^{-6}\times 1\,024\times 250=0.256(\mathrm{s}) \tag{13}$$

若采用本文的捕获策略,即码相位的搜索采用匹配滤波器,对频率采用 FFT 进行分析.本方法与式(13)采用的方法不同之处在于在频点搜索上花费的时间更短.由于采用 FFT 分析的点数不同,花费的时间也不同,点数 $N$ 越大,花费的时间越大[5].假定 $N=1\,024$,FFT 的工作时钟为 60 MHz,运算一次 1024 点约需要 1319 个时钟周期,同时考虑到 FFT 数据的串入和串出,FFT 运算一次总共消耗的时间为 2 343 个时钟周期.为了减少虚警的概率,可以取 3 次 FFT 运算的结果作为验证.完成一次捕获需要的最大时间为

$$T_{\max}=10^{-6}\times 1\,024+2\,343\times 3\times 0.016\,7\times 10^{-6}=1.141(\mathrm{ms}) \tag{14}$$

由式(12)～式(14)可以看出,式(12)提出的捕获方法捕获速度太慢,满足不了目前快速捕获的要求;式(13)提出的捕获方法可以满足普通的快速捕获的要求,但是并不是最优的.由式(14)可以看出,本文提出的捕获方法的捕获时间约为式(13)的 1/200.

### 3.2　占用资源

相对于全匹配的倒置型匹配滤波器而言,若折叠匹配滤波器的折叠倍数为 $M$,则折叠匹配滤波器只需要全匹配滤波器的 $1/M$ 的加法器,用于延时的移位寄存器个数与全匹配的相同,需要增加 2 048 bit ROM.加法器是整个电路中消耗资源最多的部件,而 Viertex-Ⅱ系列 FPGA 中有高达3 Mbit的 block SelectRAM 资源和 1.5 Mbit 的 distributed SelectRAM 资源,所要增加的 2 048 bit 的存储空间对于器件资源而言是微不足道的.因此,相对于全匹配的倒置型匹配滤波器而言,折叠匹配滤波器以 $N$ 倍的处理速率节约了近

$(M-1)/M$ 硬件资源. 图 4 给出了在 Xilinx ISE 7.1 环境下把匹配滤波器用 vhdl 语言实现,芯片选用 Xilinx Virtex-Ⅱ系列 FPGA 的 xc2v2000,分别对 $N=4,8,16,32$ 下对匹配滤波器进行综合后占用系统资源的结果. 由图 4 可以看出随着折叠倍数的增加,对系统资源 Slices,Flip Flops 和 4input LUTs 的占用成倍的减少,从而解决了传统匹配滤波器占用资源多的缺点.

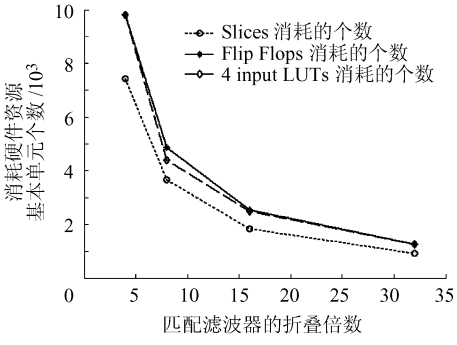


图 4 折叠匹配滤波器对系统资源的占用情况

## 4 FFT 的鉴频实现

由图 3 所示的匹配滤波器结构可知,若伪码长度为 $L$,折叠倍数为 $M$,每段伪码的长度为 $N$,则 $L=N\times M$. 整个匹配滤波器如同由 $M$ 个长度为 $N$ 的子相关器组成,若把各段相关器的值累加就得到整个伪码的相关结果. 若把这 $M$ 个子相关器的值进行 $K$ 点 FFT 变换($K\geqslant M$),然后在 FFT 的 $K$ 个输出端选择幅值最大的峰值对应的频率作为信号的多普勒频移的估计值. 其中对 $K$ 值的选择影响到捕获时间的快慢,点数越多运算需要的时间越长[6]. 本文给出了在 Xilinx Virtex-Ⅱ系列FPGA的 xc2v2000 中进行 FFT 运算所需时间的仿真如图 5 所示.

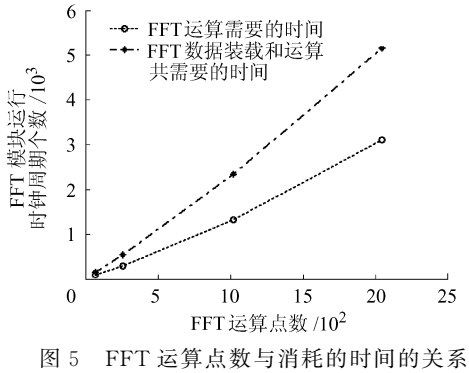


图 5 FFT 运算点数与消耗的时间的关系

在本系统中 A/D 采样时钟为 60 MHz,码长为1 024,码速率为 1 MHz,数据速率为 50 bit/s,FFT 点数 $K=2\ 048$,取一个数据位长度送入 FFT,则 FFT 分析的多普勒频率范围约为[−51 kHz,+51 kHz],频谱分析精度约为 50 Hz,完全能够满足系统需求.

## 5 结束语

本文采用的高倍数折叠匹配滤波器和 FFT 的方法解决了普通滑动相关方法捕获时间长和普通匹配滤波器方法消耗硬件资源大的问题,从而实现了在高动态环境下扩频信号的快速捕获,同时大大节约了硬件资源,满足了高性能导航定位系统的要求. 该方法已经应用于一种兼容型导航定位接收机中,由于匹配滤波器和 FFT 均在 FPGA 中实现,故使本系统易于向 ASIC 的转化,从而可实现高性能的全数字扩频接收机.

### 参考文献(References)

[1] Thomas D W P, Woolfson M S. Evaluation of frequency tracking methods[J]. IEEE Trans on Power Delivery, 2001, 16(3): 367−371

[2] Simon Marvin K, Omura Jim K. Spread spectrum communications handbook[M]. Beijing: Posts & Telecommunications Press, 2002

[3] Psinki M L. Block acquisition of weak GPS signal in a software receiver [C]//International of Navigation GPS. Salt Lake City, UT: ION, 2001, 9: 11−14

[4] Kaplan E D. GPS 原理与应用[M]. 邱致和译. 北京:电子工业出版社, 2002
Kaplan E D. Understanding GPS principles and applications [M]. Translated by Qiu Zhihe. Beijing: Publishing House of Electronics Industry, 2002 (in Chinese)

[5] 徐志军,徐光辉. CPLD/FPGA 高级应用开发指南[M]. 北京:电子工业出版社, 2002
Xu Zhijun, Xu Guanghui. The guide to senior application and development of CPLD/FPGA [M]. Beijing: Publishing House of Electronics Industry, 2002(in Chinese)

[6] Spangenberg Sascha M, Scott Iain, Mclaughlin Stephen, et al. FFT-based approach for fast acquisition in spread spectrum communication systems[J]. Wireless Personal Communications, 2000, 13(1): 27−56

(责任编辑:娄 嘉)