基于多处理器高距离分辨力雷达算法并行实现

范晓波 张永杰 王 俊 李少洪

(北京航空航天大学 电子信息工程学院, 北京 100083)

摘 要: 介绍了一个用于跟踪高速目标的基于 8 片 ADSP-TS201 TigerSHARC 处理器的实时信号处理机的并行实现. 讨论了并行处理机整体结构设计,包括处理器间拓扑结构、通信、同步与控制等. 实现并行系统的一个关键是将应用问题优化映射到目标处理机硬件的各个并行部件中,文中在考虑算法复杂度、可分解度、并行度的同时,综合处理机平台处理能力、实时性、处理器间通信量及运算负载的平衡性等因素,实现了算法流程到硬件平台的高效映射. 在此基础上,重点研究了系统级、运算级和指令级的并行流水线设计方法,分析了利用 SIMD (Single Instruction Multiple Data),静态超标量,BTB(Branch Target Buffer)等并行结构和处理机制对并行汇编指令进行高效的优化. 实际的校飞试验验证了该处理机设计与实现方法的有效性、实时性和可靠性.

关 键 词: PD 雷达; 实时系统; 并行处理系统

中图分类号: TN 95

文献标识码: A **文 章 编 号**: 1001-5965(2006)09-1077-06

Parallel algorithm realization of high range resolution radar based on multi-processor

Fan Xiaobo Zhang Yongjie Wang Jun Li Shaohong

(School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100083, China)

Abstract: An advanced real-time pulsed Doppler-pulse compressed radar signal processing system that managed to track targets with high velocity was implemented based on 8 ADSP- TS201 TigerSHARC processors. System structure designing was discussed, including DSP(digital signal processors) topology, communication, synchronization and control. In parallel system, it is crucial to optimize the mapping of problems onto parallel execute units of specific hardware platform. When implementing effective algorithm mapping, various factors were considered, such as algorithm complexity and resolvability, hardware process and real-time capability, and CPU load balance of communication and calculation tasks. Parallel design and optimization on both system and instruction levels were emphasized, while realizing system level optimization. Also parallel pipeline designing methodology was presented, including the pipelines both inside and between DSPs. With regard to the instruction level optimization, several parallel mechanisms such as SIMD(single instruction multiple data), static superscalar, BTB(branch target buffer) and space-time tradeoff were studied to optimize the system with extremely high performance, which was proved by the field experiment results.

Key words: PD radar; real time system; parallel processing systems

PD(Pulsed Doppler)雷达信号处理的实质是相对于雷达有着不同径向速度的物体的回波频率会有所差别,从而在频域中实现目标与杂波背景的分离和检测. 采用 LFM(Linear Frequency Modulation)信号的 PD 雷达结合了 PD 体制和脉冲压缩体制的优点,同时具有很高的距离和速度分辨力,但也给高速大容量数据流实时处理系统的实现带来了很大挑战. 本文针对跟踪高速运动目标

收稿日期: 2005-10-31

作者简介: 范晓波(1981-),男,山西运城人,硕士生, fanxb81@yahoo.com.cn.

的 PD-脉冲压缩雷达,实现了一个先进的基于 8 片 TS201 处理器的高速实时信号处理机. 重点研究了算法流程到硬件平台的映射与并行实现,并利用多种并行处理思想研究了处理机从系统级到指令级的高效优化过程.

1 信号处理机算法流程

雷达的工作信号形式为 LFM 脉冲串,信号处理机需要通过同时对接收到的两路不同信噪比的信号进行处理,来获得目标的距离和速度信息. 因此该处理机分为 1、2 两个处理通道,工作于 SOMD (Single Operation Multiple Data)方式,即用相同的信号处理流程分别处理两路信号. 图 1 示出了需要同时在两个通道实时完成的功能模块,主要有脉冲压缩、杂波滤除、运动补偿、加窗、相参积累、CFAR (Constant False Alarm Rate)检测、内插等. 为了避免常规模拟域正交采样带来的 I/Q 通道不一致性,系统通过直接中频采样,实现了基于多相滤波的数字 I/Q,获得了很高的镜频抑制比,同时也避免了前级放大器直流漂移对后端信号处理精度的影响. 其中,采样频率 $f_s = 4f_0/(2m+1)$(m 为任意正整数),且不小于信号带宽的 2 倍. 系统中频 $f_0 = 50$ MHz,则 $f_s = 200/3$ MHz.

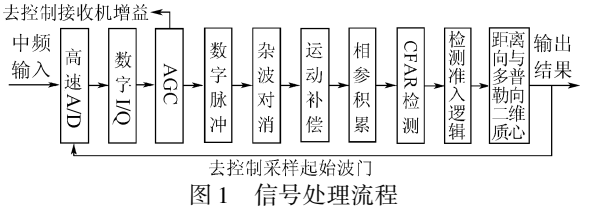


图 1 信号处理流程

根据最优检测理论,假设目标回波信号频谱为 $S(f)$,杂波及噪声中的有色噪声功率谱密度为 $N(f)$,在使输出信噪比最大准则下的最佳滤波器(即有色噪声中的匹配滤波器)为

$$H(f) = K\frac{S^*(f)}{N(f)}e^{-j2\pi ft_0} = \frac{K}{N^{1/2}(f)}\frac{S^*(f)}{N^{1/2}(f)}e^{-j2\pi ft_0} = H_1(f)H_2(f) \quad (1)$$

其中,$H_1(f) = \dfrac{K}{N^{1/2}(f)}$($K$ 为系数),为一白化滤波器,频率特性为杂波频谱的倒数,在 PD 雷达信号处理中通常由主瓣杂波抑制滤波器来完成;而 $H_2(f)$ 可以通过两级滤波器来实现

$$H_2(f) = H_{21}(f)H_{22}(f) \quad (2)$$

式中,$H_{21}(f)$ 为单个脉冲的匹配滤波器,对应于脉冲压缩处理,在雷达功率受限情况下,可以发射宽脉冲以增大信号能量,再通过脉内调频展宽信号频谱,以期得到高距离分辨力;$H_{22}(f)$ 为窄带多普勒滤波器组,通过对相参脉冲串的匹配滤波,实现了回波的相参积累[1-3].

2 并行处理机的结构

实现多处理器的实时并行系统有两个前提,一是构建具有并行体系结构的系统, 二是将相应的算法优化映射到处理机中,使算法本身的并行性和硬件平台的并行性充分结合[4-7].

2.1 处理机的硬件结构

根据系统数据率和处理时间要求,满足条件的 DSP(Digital Signal Processor)芯片有 TI 的 C64 和 AD 的 ADSP-TS201 TigerSHARC 处理器两种,但考虑到对多片处理器及浮点运算的支持,以及 TS201 提供专门的总线仲裁逻辑使其最多支持 8 片 DSP 共享总线,且其高速的 Link 接口也为多处理器间的通信提供了无缝连接,所以方案选择了用 8 片 TS201 构成信号处理机的核心. 该款处理器是当前处理能力最强的浮点 DSP,同时兼容定点处理;其采用了静态超标量结构,支持 SIMD (Single Instruction Multiple Data)引擎,每周期执行 4 条指令,6 个浮点或 24 个 16 bit 定点操作;内核时钟 600 MHz,处理能力每秒 48 亿次乘加运算(GMACS)或 36 亿次浮点运算(GFLOPS);处理器内部集成了24 Mbit片内 DRAM,14 个 DMA(Direct Memory Access)通道及 4 个全双工的 Link 口,使其外部接口数据交换能力达到 5 Gbyte/s.

考虑到系统中处理器数目较多,且相互之间传输的数据量非常大,采用共享总线的拓扑结构将势必因分时总线占用形成传输瓶颈,因此这里选择将 8 片 DSP 以松耦合的链路方式通过高速 Link 口连接,形成点到点的拓扑结构,图 2 示出了处理机的硬件结构框图.

图 2 中 8 片 DSP 被分为 DSP1 ~ DSP4,DSP5 ~ DSP8 两路,以 SOMD 方式同时工作,分别处理通道1和通道2中的信号. 两路模拟信号经高

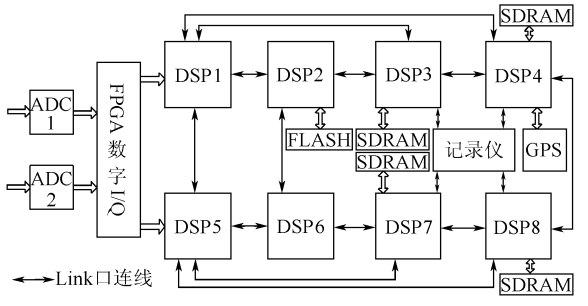


图 2 处理机硬件框图

速A/D后,分别在 FPGA 中完成数字 I/Q,得到的直波 I,Q 信号送 DSP1 ~ DSP4 处理,同时回波 I,Q 信号送 DSP5 ~ DSP8 处理. 各片 DSP 以帧同步和脉冲同步两个触发信号作为外中断源进行同步,相互之间则通过 Link 口以 DMA 方式进行通信.

2.2　算法映射

并行多处理器系统开发的关键在于将应用问题优化映射到目标硬件的各个并行部件中,使其都有效发挥作用. 高效映射需考虑算法复杂度、可分解度、并行度,实时性、处理器间通信量及运算负载的平衡性等因素. 根据优化映射范围大小,可分为系统级和指令级. 前者是把整个算法过程合理分配给各个处理器,充分利用多处理器系统特点来提高处理效率,这也是本节分析的重点. 指令级优化则是充分发挥 DSP 芯片内部并行功能部件效率,如 SIMD、静态超标量等,这部分将放在第 4 部分详细说明.

由于通道 1、2 两路在 SOMD 模式以相同信号处理流程工作,这里仅分析通道 1. 系统总距离单元数 2 000,采用频域脉压需作 2 048 点 FFT(Fast Fourier Transform)与 IFFT(Inverse FFT),多普勒单元数为 N. 表 1 示出了算法流程各主要环节的运算量、传输量与存储量. 考虑到算法功能可扩展性及各片 DSP I/O 带宽与运算负载的平衡比,在处理机中用 DSP1,DSP2 与 DSP5,DSP6 分别完成对两路信号的脉冲压缩、AGC (Auto Gain Control)、主瓣杂波滤除处理;DSP3 和 DSP7 完成数据矩阵重排、运动补偿、加窗、相参积累;最后由 DSP4 和 DSP8 分别完成两个通道的滑窗 CFAR、准入逻辑判断、距离和速度向二维插值、目标距离解算等工作,最后结果通过链路口送到记录仪. 系统中各片 DSP 以流水线方式并行处理,处理器间数据传输通过高速 Link 口以 DMA 方式进行,不占用处理器资源. 由于 TS201 内部集成了 24 Mbits DRAM,故 DSP1,DSP2,DSP5,DSP6 所需缓存空间可映射到片内,但 DSP3,DSP4,DSP7,DSP8 所需缓存空间较大,只能映射到外部扩展 RAM 中.

表 1　算法各主要环节所需处理量

性能需求	AGC	脉压			杂波对消	相参积累(跟踪/搜索)		目标检测(跟踪/搜索)	
		FFT	加窗复乘	IFFT		FFT	求模	CFAR	插值解算
运算时间/ms	0.015	0.042	0.010	0.042	0.015	9/45	4/20	8/40	1/5
		0.067		0.057					
通信量/Mbit		0.154		0.256		80/120		32/80	
缓存量/Mbit		0.896		0.640		64		32	
允许时间/ms		0.150		0.150		100		100	

3　算法的并行流水线结构设计

在实时信号处理中,经常通过并行流水线将大规模信号处理算法按数据流分解到多个处理单元,利用时间上的重叠实现实时处理. 设计时需考虑流水线同步、流水深度、资源约束、节点通信与任务的平衡、实时性等因素(以下分析以通道 1 为例,通道 2 类似).

雷达信号形式为 LFM 脉冲串,脉冲重复周期 150 μs,每帧 N 个脉冲,帧周期 100 ms,系统有帧同步和脉冲同步两个同步信号(相邻帧同步间有 N 个脉冲同步). 由于脉压与杂波滤除以脉冲为处理单位,而运动补偿、相参积累及 CFAR 均以帧为粒度,逐个对同一距离门的数据进行处理,要等到帧内 N 个脉冲均完成脉压与杂波滤除才能开始处理,故 DSP1 和 DSP2 以脉冲同步作为同步信号,而 DSP3 和 DSP4 以帧同步为同步信号.

对于 DSP1 和 DSP2,每个脉冲内都固定的完成 3 个任务:从前级接收一个脉冲数据(Recv)、完成特定的处理算法(Process)、发送处理结果到下一级(Send). 因此若开辟位于片内不同 Memory Block 的 3 个缓冲区,由于 DMA 传输不干扰核运算,则在同一时刻 3 个任务即可并行的在不同的存储空间执行:接收第 $n+1$ 个脉冲数据、处理第 n 个脉冲、发送第 $n-1$ 个脉冲的处理结果,其 3 级流水线结构见图 3. 每个脉冲处理时间为

$$t = \max\{t_{\mathrm{DMA}}, t_{\mathrm{Proc}}\} \tag{3}$$

DSP3 和 DSP4 因为涉及到流水线嵌套,情形要复杂得多. 由于它们的处理粒度为帧,在每一帧中都固定完成两个任务:从前级以 DMA 方式接收并缓存一帧数据、循环 2 000 个距离门对每一距离门内的 N 点数据进行处理(对 DSP3 还需发送处理结果到下一级). 所以这层流水线结构最优深度为两级,并且需在外部 SDRAM 中开辟两块缓存用于并行执行两个任务:接收并缓存前级第$n+1$ 帧的数据(时间为 t_{Rcv})、启动 2 000 次循环处理第 n 帧 2 000 个距离门的数据(时间为 t_{ProcLp}). 则每帧处理时间为



图 3 单帧内脉间各 DSP 处理流水线

$$t = \max\{t_{\mathrm{Rcv}}, t_{\mathrm{ProcLp}}\} \tag{4}$$

值得注意的是,在处理循环内部,每个循环也固定的执行几个任务,以 DSP3 为例有:从外部 SDRAM 中读取一个距离门的 N 点复数据、处理、发送处理结果,因此通过在片内开辟 3 个缓冲区,即可实现嵌套的内层流水线结构,最优深度为三级,单个循环内的处理为:从外部 SDRAM 向片内缓冲区 DMA 读入第 $k+1$ 个距离门的数据(Rcv),处理第 k 个距离门(Proc),DMA 方式输出第 $k-1$ 个距离门的处理结果到下一级处理器(Send). 每帧处理循环的时间为

$$t_{\mathrm{ProcLp}} = 2\,000\max\{t_{\mathrm{DMA}}, t_{\mathrm{Proc}}\} \tag{5}$$

DSP3 和 DSP4 的这种嵌套流水线结构如图 3 所示. 每帧处理时间为

$$t = \max\{t_{\mathrm{Rcv}}, 2\,000\max\{t_{\mathrm{DMA}}, t_{\mathrm{Proc}}\}\} \tag{6}$$

单帧内脉间的流水线主要为各片 DSP 内部的处理流水线,而由于整个系统检测结果以帧为处理粒度,故帧间的流水线反映的是各片处理器之间的流水协作. 以直波通道为例,图 4 示出了单个通道 4 片 DSP 的片间流水线结构,流水深度 3 级.

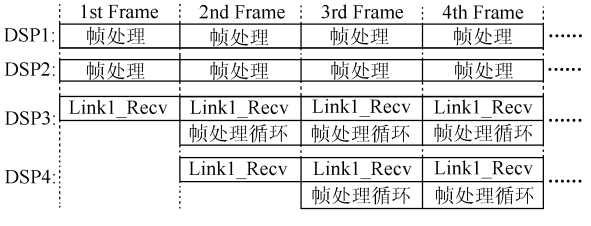


图 4 帧间各 DSP 处理流水线

4 高效的指令级并行优化设计

为保证系统实时性,整个处理机软件全部用并行汇编语言实现. 其中的关键是分析算法的运算过程,将其与处理器的各并行机制结合起来,提高系统处理效率[5-7]. 主要有以下几个方面:

1) SIMD 处理. TS201 内部集成了双运算模块,通过同时执行通用运算指令来实现 SIMD 引擎. 利用这种特性在运算中可对不同的数据分别在两个运算块中同时处理,例如 CFAR 时在两个运算块中并行处理两个距离单元的滑窗,FFT 中可以同时进行两个蝶形运算.

2) 静态超标量结构与运算流水线. TS201 采用静态超标量,使得每周期可执行 4 条指令. 但由于某些操作会由于资源相关性或执行特性等因素引入一个或几个周期的延时,这样当处理数据流时即可引入流水线结构,在延迟的周期内插入下一点数据的运算,以提高运算效率. 以对 2 048 点实向量求模加权运算 $K \cdot |V|$ 为例,每点数据需经过取数(F)、求绝对值(A)、常量 K 加权(M)、存储(S)4 个操作. 考虑 SIMD,每次对两点数据同时操作. 由于从存储区向寄存器加载数据及 ALU 运算为双周期操作,即要延迟一个周期才能得到结果,因此不采用流水结构运算时完成两点运算需 6 个周期,速度 3 cycle/point,如图 5 所示. 而当考虑并行指令,引入运算流水线时,处理效率提高了 6 倍,达到 0.5 cycle/point.

3) DMA 传输. 利用 DMA 不占用 CPU 的特点,充分发挥宽数据总线、高速 Link 口及大存储

Cycle/Opération	JALU	KALU	MAC	ALU
1	F			
2				
3				A
4				
5			M	
6		S		

Cycle/Opération	JALU	KALU	MAC	ALU
1	F	S-----	M----	A--
2	F+	S----	M---	A-
3	F++	S---	M--	A
4	F+++	S--	M-	A+
5	F++++	S-	M	A++
6	F+++++	S	M+	A+++

图 5　应用静态超标量实现运算流水线

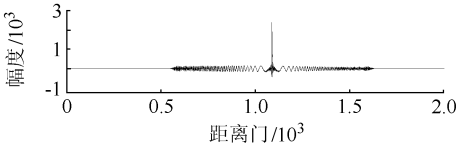
区的优势,使计算与通信在流水线下并行. 另外利用某些特殊 DMA 可简化运算,如相参积累前对数据矩阵的转置操作可由二维 DMA 以转置方式读取数据来完成,从而省去核操作.

4) 目标分支缓冲 BTB(Branch Tanget Buffer)与零开销循环. TS201 的程序控制器采用 10 级深度的指令流水线,由于当一个分支指令执行时流水会被打断,而跳向的新指令将在执行前经过整个流水,从而引入 4 ~9 个周期的延迟开销. 在指令中使用 BTB 机制与合理的分支预测,可将这种开销减小到 0,从而实现任何种类的零开销或近乎零开销的循环.

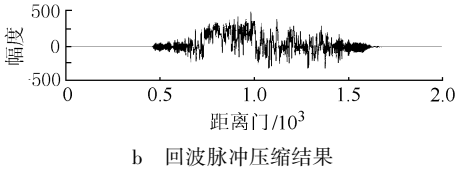
5) 空间-时间折衷与数据存储组织. 用更多的存储空间存储尽量多的预先计算出的信息,是提高程序执行速度的有效手段. 由于系统中每片 DSP 有 24 Mbit 的片内存储区,所以可提前存储运算中反复用到的全部向量,如 FFT 旋转因子、窗函数、匹配滤波器系数、AGC 增益控制表等. 另外如何组织数据的存储方式也会在很大程度上影响指令执行速度. 如正余弦系数、复数实虚部等都需交替存放;FFT 的原始数据、中间结果和最终结果也需放在不同的 Memory Block 中以避免总线冲突;而各种向量数据最好四字边界对齐以便于用广播方式合并读写,充分利用 SIMD 与 128 位总线机制.

5　试验结果

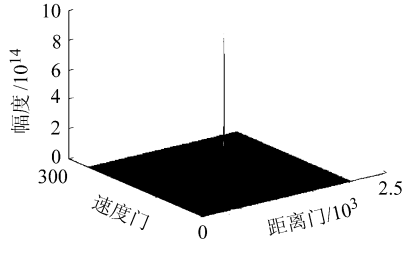
图 6a 和图 6b 分别示出了通道 1(输入信噪比 90 dB)单个脉冲脉压输出及一帧 N 个脉冲相参积累结果的三维显示. 图 6c 和图 6d 分别示出了通道 2(输入信噪比 -24 dB)单个脉冲脉压输出及一帧 N 个脉冲相参积累的结果,可以看出回波通道虽然由于输入信噪比较低,在脉压后仍难以检测出信号,但经过相参积累已完全可以准确检测到目标. 经试验验证,该系统时差测量精度达到 15 ns,对应的测距精度 2.3 m,速度向精度 2.6 m/s. 实时性方面,系统各主要环节实际消耗时间如表 2 所示,完全满足实时处理的要求.



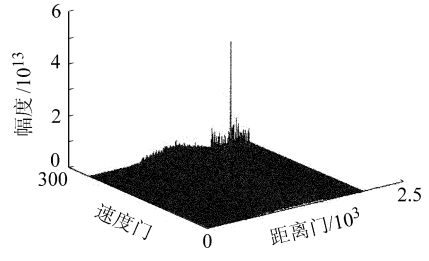
a　直波脉冲压缩结果



b　回波脉冲压缩结果



c　直波相参积累结果



d　回波相参积累结果

图 6　实时处理机两个通道脉压与相参积累处理结果

表 2　算法各主要环节运算速度测试结果

性能	算法						
	AGC	脉压			杂波对消	相参积累(跟踪/搜索)	目标检(跟踪/搜索)
		FFT	加窗复乘	IFFT		加窗、FFT、求模	CFAR、插值解算
实际耗时/μs	10.15	48.7	8.39	48.7	12.4	1.095×10^4/5.475×10^4	8.89×10^3/4.445×10^4
		67.24			61.1		
允许时间/μs		150			150	100	100
实时性		满足			满足	满足	满足

6 结束语

本文介绍了一个先进的基于多处理器平台的实时信号处理机算法并行实现,重点阐述了算法流程的并行映射,系统级、运算级和指令级流水线的设计以及对指令的高效并行优化.其中一些并行思想的设计及实现方法对其它高速大容量实时处理系统也有一定的参考价值.目前该处理机已通过校飞试验验证,系统精度、实时性、可靠性和可扩展性完全符合设计要求.

参考文献(References)

[1] Kuo C F, Kuo T W, Chang Cheng, et al. Real-time digital signal processing of phased radar [J]. IEEE Transactions on Parallel and Distributed Systems, 2003, 14(5): 433-446

[2] 毛士艺, 李少洪, 张瑞生. 脉冲多普勒雷达[M]. 北京:国防工业出版社,1990
Mao Shiyi, Li Shaohong, Zhang Ruisheng. Pulse doppler radar [M]. Beijing: National Defense Industry Press, 1990(in Chinese)

[3] Stimson G W. Introduction to airborne radar 2nd edition [M]. North Carolina:Scitech Publishing, Inc, 1998

[4] Ackenhusen J G .实时信号处理—信号处理系统的设计与实现[M].李玉柏,杨乐,李征等译.北京:电子工业出版社,2002
Ackenhusen J G. Real-time signal processing: design and implementation of signal processing systems [M]. Translated by Li Yubai, Yang Le, Li Zheng, et al. Beijing: Publishing House of Electronics Industry,2002(in Chinese)

[5] Lerner B. Writing efficient floating-point FFTs for ADSP-TS201 TigerSHARC processors[EB/OL]. http://www. analog. com/UploadedFiles/Application _ Notes/269151224EE218v02. pdf, 2004

[6] Analog Device. ADSP-TS201 TigerSHARC processor programming reference [EB/OL]. http://www. analog. com/ UploadedFiles/Associated _ Docs/346052848161 96ts201 _ pgr. pdf, 2003

[7] Analog Device. ADSP-TS201 TigerSHARC processor hardware reference [EB/OL]. http://www. analog. com/ UploadedFiles/Associated _ Docs/396096833ts201 _ hwr. pdf, 2003

(责任编辑:张 婧)

(上接第1025页)

此处,所采用的是点估计下限折合方法将单元用其可靠度的点估计和下限折合到二项分布,再利用二项分布的可靠度的置信分布进行抽样,进行蒙特卡罗仿真.得到结果如表2.

表2 系统可靠性综合评估结果

R 评估结果 $T=11$ min	R_L 评估结果 $\gamma=80\%$ $T=11$ min	计算说明
0.824 94	0.802 32	LM法
	0.804 79	蒙特卡罗仿真

4 结 论

1)本方法较通常的蒙特卡罗仿真系统综合评估的方法适用范围更为广泛,解决了离散分布抽取失效时间样本的问题.

2)由于抽取的是可靠度样本,本文所示的方法,降低了所需计算复杂度.

3)本文方法所得系统可靠度下限的评估结果与系统可靠度综合评估的L-M法的结果接近.当系统结构特别复杂而无法利用系统可靠度综合评估的各种近似方法时,利用本文方法可得到可信的评估结果.

4)在如何直接利用中间层结构的试验信息方面,本文没有做更加深入的研究,这个方向也将是下个阶段研究的重点.

参考文献(References)

[1] 于丹,戴树森. 复杂系统可靠性综合评估方法研究[R]. 99002505,1996
Yu Dan, Dai Shusen. Researches for reliability estimation methods on complex system[R]. 99002505,1996(in Chinese)

[2] Stevens W L. Fiducial limits of the paramrter of a discontinuous distribution[J]. Biometrika,37:117-129

[3] 郭奎,于丹. 可靠性综合评估L-M法推广[J]. 可靠性工程,2003,2(4):33-36
Guo Kui, Yu Dan. Advanced L-M method of reliability estimation [J]. Reliability Engineering,2003,2(4):33-36(in Chinese)

[4] 肖刚,李天柁. 系统可靠性分析中的蒙特卡罗方法[M]. 北京:科学出版社,2003
Xiao Gang, Li Tiantuo. Monte Carlo method in system reliability analyzing [M]. Beijing:Science Press,2003(in Chinese)

(责任编辑:娄 嘉)