GPS 卫星信号模拟器中频信号处理与实现

李保柱 张其善 杨东凯

(北京航空航天大学 电子信息工程学院, 北京 100083)

摘 要: 利用数字内插、数字滤波、A/D(Analog/Digital)变换等软件无线电方法,建立 GPS 卫星信号模拟器中频信号处理的数学模型,提出了数字 IF(Intermediate Frequency)的实现方法,且在 matlab 中进行了中频电路建模、优化和验证,完成了从数字基带信号处理到模拟中频信号生成. 电路实现时尽量降低信号处理频率,缩小高频信号处理范围. 利用 verilog 在 ISE6.3 中完成了数字中频模块的设计和仿真,对仿真输出的数字序列进行 FFT(Fast Fourier Transform Algorithm)频谱分析,并在 FPGA(Field Programmable Gate Arrays)中实现.

关 键 词: 全球定位系统(GPS); 模拟器; 数字内插; 数字滤波

中图分类号: TN 228.4

文献标识码: A **文 章 编 号**: 1001-5965(2006)07-0811-04

Implementation of IF signal processing in GPS satellite signal simulator

Li Baozhu Zhang Qishan Yang Dongkai

(School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100083, China)

Abstract: With the technique of software radio in digital interpolation, digital filtering, A/D(analog/digital) converter, a mathematic model for signal processing of digital IF(intermediate frequency) in the GPS satellite signal simulator was established, and the approaches achieving the practical hardware design was implemented. The algorithm and design model for the circuit implementation was verified and optimized with Simulink in Matlab, the processing from digit base-band signal to analogue IF signal generation was achieved. The signal processing frequency was reduced to the best of our abilities for the circuit, and the processing area in the board for the high frequency signal was minimized. With the Xilinx′ ISE development tool and FPGA(field programmable gate arrays) using Verilog, the design and emulating of digital IF was implemented, and the digit signal was also analyzed with FFT(fast Fourier transform algorithm) frequency spectrum.

Key words: global positioning system; simulators; interpolation; digital filters

GPS 卫星信号模拟器能够根据运动载体的状况, 精确模拟产生出载体收到的 GPS 卫星信号. GPS 模拟器可以对 GPS 接收机的捕获、跟踪和测量精度进行测量鉴定,高动态 GPS 接收机的性能测试依赖于高性能 GPS 信号模拟器[1]. GPS 信号模拟器产生 GPS 卫星信号,需要经过由基带信号、中频信号到射频信号的频率变换,其中 GPS 模拟器中频信号处理,是研制 GPS 模拟器需要解决的关键技术之一. 在基带信号到中频信号调制变换过程中,通常采用混频方法实现频率提升、变换,本文将结合 GPS 信号模拟器数字中频系统的实际要求,利用软件无线电设计思想,建立一种基于内插、滤波、数模变换等数字信号处理的数字调制方式的中频 GPS 信号模拟器模型,充分利用软件设计的灵活性,简化硬件设计,充分利用芯片资源、降低功耗和成本.

1 GPS 模拟器中频信号数学表述

设中频 GPS 信号的采样率为 f_s,对应采样间隔为 T_s,第 j 颗卫星发射信号从发射时刻到接收机中频采样时刻总延迟时间为 $\tau_j(kT_s)$,则在第 k 个采样时刻,产生的第 j 颗卫星离散中频 GPS 信

收稿日期: 2005-08-17

基金项目: 国家自然科学基金资助项目(60027001); 北京市科技新星计划资助项目

作者简介: 李保柱(1967-), 男, 江苏连云港人, 博士生, leebz285712@tom.com.

号[2]为

$$S_{\mathrm{IF}}^{j}(kT_{\mathrm{s}}) = A_j G_j(kT_{\mathrm{s}} - \tau_j(kT_{\mathrm{s}})) \cdot D_j(kT_{\mathrm{s}} - \tau_j(kT_{\mathrm{s}}))\cos[2\pi(f_{\mathrm{IF}} + \Delta f_j(kT_{\mathrm{s}})) \cdot (kT_{\mathrm{s}} - \tau_j(kT_{\mathrm{s}})) + \phi_j(kT_{\mathrm{s}})] + S_{\mathrm{MP}}^{j}(kT_{\mathrm{s}})$$

式中,A_j 为信号幅度;$G_j(kT_{\mathrm{s}}-\tau_j(kT_{\mathrm{s}}))$ 为卫星发射的伪随机噪声 C/A(Coarse/Acquisition)码;$D_j(kT_{\mathrm{s}}-\tau_j(kT_{\mathrm{s}}))$ 为第 j 颗卫星调制的导航电文信息;f_{IF} 为所选中频信号的中心频率;$\Delta f_j(kT_{\mathrm{s}})$ 为因卫星和用户的相对运动而产生的多普勒频移;$\phi_j(kT_{\mathrm{s}})$ 为接收中频信号相位;$S_{\mathrm{MP}}^{j}(kT_{\mathrm{s}})$ 为收到的第 j 颗卫星到 kT_{s} 个采样时刻的多路径反射信号.

根据上述思想设计的一种 GPS 模拟器中频信号生成原理方案如图 1 所示,采用数字内插方法,实现中频频率提升,降低了中频电路前端数字信号处理速度,方便实现. 其中,PLL 为 Phase Lock Loop;FIFO 为 First-in First-out;LPF 为 Low-Pass Filter;BPF 为 Band-Pass Filter;DBPE 为 Data Band-Pass Filter.

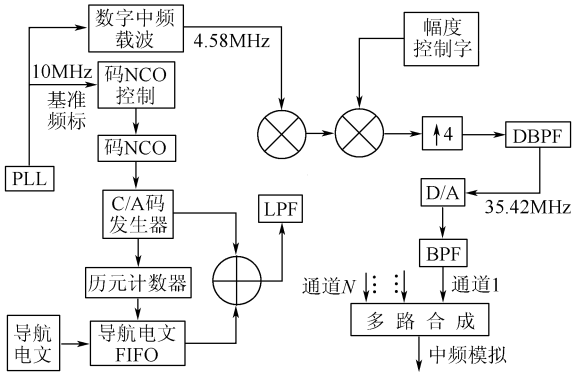


图 1 GPS 卫星模拟器中频信号生成原理

2 基带数字信号到中频模拟信号实现

对基带数字信号进行 I 倍零内插,即每隔 1 个采样点插入 $I-1$ 个零点,得到内插信号. 应用内插理论能够在较低的采样速率产生较高频率的中频信号,降低整个系统的基带处理频率,降低对微处理器和 FPGA(Field Programmable Gate Arrays)运算速度的要求,提高时域分辨率. 对数字信号进行内插、数字滤波,D/A(Digital/Analog)变换和模拟滤波,实现中频信号的频率变换,得到 GPS 模拟器中频模拟信号. GPS 模拟器基带数字信号变换为中频模拟信号实现原理见图 2.

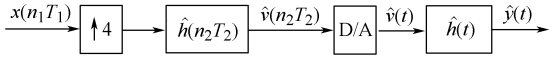


图 2 GPS 模拟器基带/中频信号变换原理

2.1 信号内插

设给定数字基带信号 $x(n_1T_1)$ 如图 3a 所示,$|\hat{X}(\mathrm{e}^{\mathrm{j}\Omega T_1})|$ 为其频域表示,整数 I 倍内插是在原始序列 $x(n_1T_1)$ 的相邻 2 个抽样点之间等间隔地插入 $(I-1)$ 个零值点,内插后的序列可表示为

$$x_I(n_2T_2) = \begin{cases} x\left(\dfrac{n_2}{I}T_1\right) & n_2 = 0,\ \pm I,\ \pm 2I, \cdots \\ 0 & \text{其他} \end{cases}$$

式中,T_1 为原始序列的采样周期;T_2 为内插后序列的采样周期,$T_2 = T_1/I$. 具体实现时 n_2 只取非负数. 由于 $x_I(m)$ 除了 m 为 I 的整数倍处为 $x(m/I)$ 外,其余都为零,根据 Z 变换定义有

$$X_I(z) = \sum_{m=-\infty}^{+\infty} x_I(m)z^{-m} = \sum_{m=-\infty}^{+\infty} x(m)z^{-mI} = X(z^I)$$

把 $z=\mathrm{e}^{\mathrm{j}w}$ 代入上式可得内插后的信号频谱为

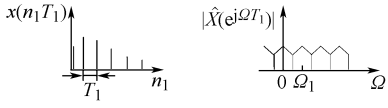
$$X_I(\mathrm{e}^{\mathrm{j}\omega}) = X(\mathrm{e}^{\mathrm{j}\omega I})$$

即内插后的信号频谱为原始序列谱经 I 倍压缩后得到的频谱.

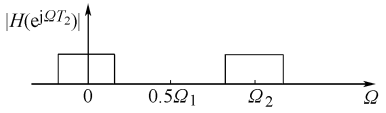
利用 4 倍内插降低整个系统的功耗和基带处理频率. 如直接采用 80 MHz 的系统频率,则不仅增加了系统功耗,而且在实现载波 DDS(Direct Digital Synthesizer)时所需要的信号时钟频率达到几百兆,实现困难. FPGA 部分采用 20 MHz 时钟信号作为基准时钟频率,完成扩频调制后进行 4 倍零内插,结果送给 D/A 转换器,转换成模拟信号,经带通滤波后得到中频信号.

2.2 数字滤波

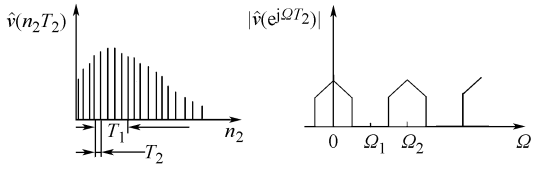
经低通数字滤波器 $\hat{h}(n_2T_2)$ 滤去镜像频谱,输出为 $\hat{v}(n_2T_2)$,设计低通数字滤波器 $\hat{h}(n_2T_2)$ 使之具有陡峭边缘,理想低通数字滤波器的幅频特性具有如图 3b 形式,低通数字滤波器输出 $\hat{v}(n_2T_2)$ 的时域和频域 $|\hat{v}(\mathrm{e}^{\mathrm{j}\Omega T_2})|$ 见图 3c ($\Omega = 2\pi/T$).



a 输入基带信号时域和频域表示



b 理想低通数字滤波器的幅频特性



c 内插后信号时域和频域表示

图 3 信号时域和频域表示

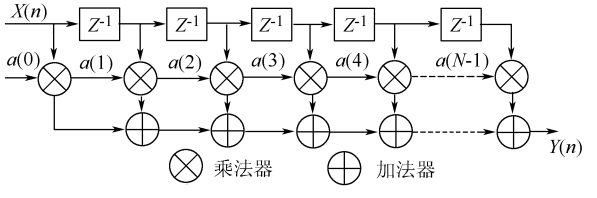
利用内插方法实现的数字低通滤波器具有良好的抗混叠、抗镜像功能,运算效率高、节省硬件资源. 一般单速率数字 FIR(Finite Impulse Response)滤波器抽头数由下式决定:

$$y(k)=\sum_{n=0}^{N-1}a(n)x(k-n)\qquad k=0,1,2,\cdots$$

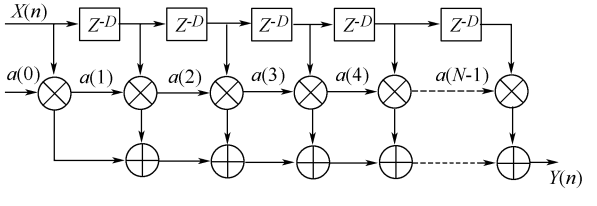
其抽头延迟线实现方式如图 4a 所示(N 为滤波器的抽头系数).

内插式 FIR 滤波器与传统 FIR 滤波器具有相似的结构,但其延迟运算操作由 $D=K-1$ 取代. K 为零内插因子,实现时采用分布式算法,应用查表法、加减法器和移位寄存器实现. N 阶抽头内插 FIR 数字滤波器延迟线实现方式如图 4b 所示.

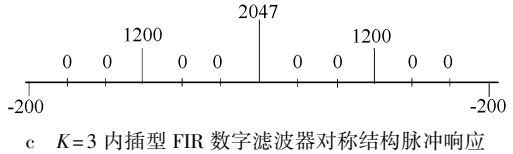
这种结构在功能上相当于在原型滤波器的系数设定间插入 $K-1$ 个零. 内插滤波器实现窄带低通滤波,内插型 FIR 滤波器是一种单速率结构,输入与输出取样速率一致,具有镜像抑制功能. 图 4c为零内插系数 $K=3$,对称结构内插 FIR 数字滤波器脉冲响应.



a　FIR 数字滤波实现方式



b　内插型 FIR 数字滤波器实现方式($D=K-1$)



c　$K=3$ 内插型 FIR 数字滤波器对称结构脉冲响应

图 4　FIR 数字滤波器实现

对称 FIR 滤波器输入 B 比特宽数据产生新的取样数据需要 $B+1$ 个时钟周期 L. 对称型滤波器时钟频率值为 $(B+1)f_s$(f_s 为滤波器取样速率)[3]. 传统滤波器的取样速率与抽头数成反比,需要耗用大量的乘加器和累加器单元,当滤波器的级数增加,系统的取样速率相应减小. 基于分布式算法的 FIR 滤波器当滤波器的级数增加时,取样速率保持不变,只是消耗较多的逻辑资源[4].

根据上述描述,实际设计滤波器时利用 FPGA 实现,主时钟频率为 150 MHz ,脉冲响应是对称的,输入取样宽度是 12 bit,输出取样需要的时钟周期数 L 值为 4,取样速率为 37.5 MHz. 达到抗混叠、抗镜像功能. 滤波器的并行处理位数越多,需要利用的 FPGA 资源越多. 滤波器的取样速率与系统时钟频率 f_{clk}、输入取样数据比特位宽 B、通道数、时钟周期 L 值以及系数对称性有关,需选取合适的参数,达到数字滤波目的.

2.3　D/A 变换和带通滤波

为了将数字中频信号 $\hat{v}(n_2T_2)$ 变换成模拟中频信号,需要进行 D/A 变换. D/A 变换器满足:

$$\hat{v}(t)=\begin{cases}\hat{v}(n_2T_2) & t=n_2T_2\\ 0 & t\neq n_2T_2\end{cases}$$

$\hat{v}(t)$ 时域和频域 $\hat{v}(j\Omega)$ 如图 5 所示,$\hat{v}(t)$ 频域表示 $\hat{v}(j\Omega)$ 的形状虽仍与图 3c 中 $|\hat{v}(e^{j\Omega T_2})|$ 的相同,但其周期是无穷长的,是非周期的连续频谱. D/A 转换后经模拟带通滤波 $\hat{h}(t)$ 对 $\hat{v}(t)$ 进行滤波,得到所需的模拟信号 $\hat{y}(t)$,这个模拟带通滤波器的过渡带较宽,容易实现.

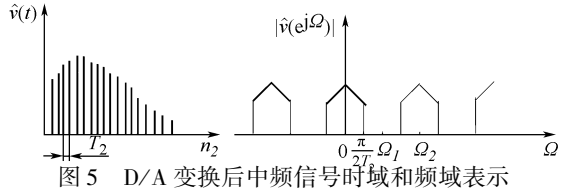


图 5　D/A 变换后中频信号时域和频域表示

3　GPS 模拟器中频信号电路实现

设载波 NCO(Numerically Controlled Oscillator)的标称频率为 $f_1=4.58$ MHz,时钟频率为 $f_s=20$ MHz,C/A 码的标称码速率为 1.023 MHz. 对一个静止用户来说,因 GPS 卫星运动所造成的多普勒频移最大约为±5 kHz. 假如所要求的载体最大速度指标为 12 km/s,对应的中频多普勒频移 $f_{id}=63.02$ kHz. 则总的最大多普勒频移约为 68.02 kHz. 基带信号的频率范围为 $(f_1\pm f_{id})$ MHz.

内插实际上是一个多速率的转换过程,输入数据是以20 MHz的时钟速率锁存、更新,输出数据的时钟速率变为 80 MHz. FPGA 部分采用 20 MHz 时钟信号作为基准频率,在完成扩频调制过程后进行 4 倍零内插,内插后的结果送给 D/A 转换器,转换成模拟信号,经带通滤波后得到 35.42 MHz的中频信号.

经过内插后的信号的数字谱不仅包含了原始信号的基带谱,同时还有处于 $[(m-1)f_s/2, mf_s/2]$($m=1,2,3,4$)频带内的各次"镜频"分量. 这些"镜频"分量的频谱与基带信号的谱结构是完全一样的,只是中心频率不同而已. 采用中心频率为 $f_{20}=40-4.58=35.42$ MHz, 带宽为 $f_B=$

$2\max(f_{1d},f_{2d},\cdots)+2.046$ 的带通滤波器 $2\times(1.023+0.068)$ MHz，滤出载频为 $f_2=(f_{20}+f_{id})$ 的已调信号：

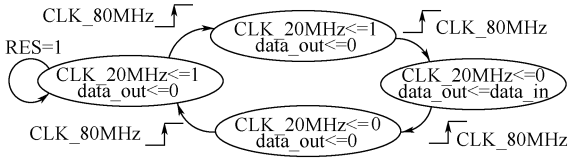
$$S_2^i(t)=A_iC_i(t-\tau_i)D_i(t-\tau_i)\cdot \sin[2\pi(f_{20}+f_{id})t+\phi_i]$$

内插器起到了上变频的作用，所得中频信号的频率范围为 $35.42\pm(1.023+0.068)$ MHz.

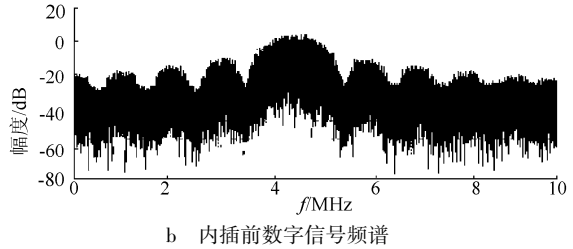
选择中频频率为 35.42 MHz 是出于调试方便考虑，可以在中频输出口与 GPS 接收机中频输入口相连接，进行测试.

在用 80 MHz 时钟对输入数据采样锁存时，要尽量避开输入数据变换时间段，为此设计了一个有限状态机，实现数据锁存，状态转移见图 6a.

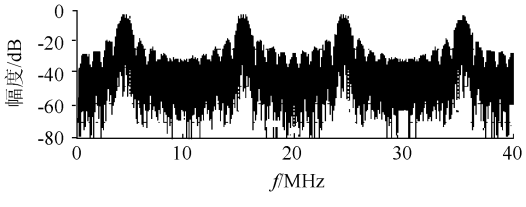
利用 verilog 在 ISE6.3 中完成内插模块的设计和仿真，并对仿真输出的数字序列进行 FFT 频谱分析. 内插前的数字时钟频率为 20 MHz，图 6b 为 4 倍零内插前 1/2 采样时钟频率范围内的数字信号的频谱，图中显示了 C/A 码扩频基带信号的频谱，基带信号的中心频率约为 4.58 MHz. 4 倍零内插后的数字时钟频率变为 80 MHz，图 6c 为 4 倍零内插后 1/2 采样时钟频率范围内的数字信号的频谱，从图 6 中可看出经过内插后的信号的数字谱不仅包含了原信号的基带谱，还包括基带谱的各次倍频、镜频分量，与前述分析一致.



a 状态转移图



b 内插前数字信号频谱



c 内插后数字信号频谱

图 6 内插数字信号处理过程

内插降低了对 FPGA 数字电路[5]运算速度的要求，减少了 D/A 的 $\sin(x)/x$ 滚降特性对带限信号的影响. 根据零阶保持器的频率响应特性，f'_s 为 D/A 转换周期频率，$H(f)=\sin\left(\frac{\pi f}{f'_s}\right)\Big/\frac{\pi f}{f'_s}$，可以计算出由于 D/A 的 $\sin(x)/x$ 特性，在中频信号频率范围内幅度滚降约为 0.4 dB. GPS 卫星提供的 L1、L2 频段的实际带宽为 20 MHz，包括了 C/A 码近 10 个旁瓣，但 C/A 码接收机的中频带宽为 2 MHz 左右，在模拟器的设计中带宽的设定可以考虑包括 2 至 3 个旁瓣，这时需考虑对 D/A 的滚降特性进行补偿.

4 结束语

中频信号处理是 GPS 信号模拟器设计的重要组成部分，与 C/A 码产生及导航电文生成模块、射频处理模块一道，共同完成导航电文及 GPS 卫星射频信号模拟生成. 利用 Simulink 等仿真计算工具，可以方便地在计算机上对设计的数字滤波器数学模型进行建模、仿真、分析验证，生成所需的内插器模型、滤波器模型等，并对所选参数进行优化. 选用 FPGA 芯片 XC2V1000，在 ISE6.3 中实现内插器、数字滤波器等模块 Verilog 编程设计和仿真测试，再经 D/A 变换器、模拟带通滤波器，生成所需的模拟中频信号. 本中频信号处理方式较好地完成了从数字基带信号处理到模拟中频信号生成，电路实现时尽量降低信号处理频率，缩小高频信号处理范围.

参考文献（References）

[1] Lee D U, Luk W, Villasenor J D. A Gaussian noise generator for hardware-based simulations[J]. IEEE, 2004, 53(12): 1523-1534

[2] 赵军祥. 高动态智能 GPS 卫星信号模拟器软件数学模型研究[D]. 北京：北京航空航天大学电子信息工程学院，2003
Zhao Junxiang. The study on mathematical model of high dynamic and intelligent GPS satellite signal simulator's software[D]. Beijing: School of Electronics and Information Engineering, Beijing University of Aeronautics and Astronatics, 2003 (in Chinese)

[3] Samuli H. An improved search algorithm for the design of multiplierless FIR filters with powers-of-two coefficients[J]. IEEE Trans Circuits and Systems, 1989, 36: 1044-1047

[4] White S A. Applications of distributed arithmetic to digital signal processing[J]. IEEE ASSP Magazine, 1989, 6(3): 4-19

[5] Uwe Meyer-Baese. 数字信号处理的 FPGA 实现[M]. 刘凌，胡永生译. 北京：清华大学出版社，2003: 60-69
Uwe Meyer-Baese. Digit signal processing with FPGA[M]. Translated by Liu Ling, Hu Yongsheng. Beijing: Tsinghua University Press, 2003: 60-69 (in Chinese)

（责任编辑：陈 琛）